



Implementación en FPGA del procesador para un sistema de antenas con monopulso

Alexander R. Ramírez Zaldívar, Noslen Rojas Ramírez, Abel Hernández Violat, Yunior Ibarra Guerra, Addiel Peña Sierra

RESUMEN / ABSTRACT

El seguimiento de fuentes de emisión de señales de radiofrecuencia que emplean antenas directivas constituye una tendencia en el desarrollo de las telecomunicaciones modernas. El presente trabajo se centra en la aplicación de técnicas de procesamiento digital de señales sobre plataforma FPGA (del inglés Field Programmable Gate Array) para la estimación de la posición angular de fuentes de emisión de señales utilizando monopulso. Se muestra el diseño e implementación de los bloques de procesamiento para determinar la dirección de las fuentes a partir de los canales suma y diferencia resultantes de la antena. Es realizada sobre la plataforma de simulación multidominio Simulink y posteriormente exportado a lenguaje de descripción de hardware para su implementación en un FPGA. En la obtención de la curva de error son empleados modelos de aproximación polinomiales. El sistema diseñado se verifica con un arreglo lineal compuesto por ocho antenas con formación digital del diagrama de radiación.

Palabras claves: Procesador monopulso, Simulink, FPGA

The tracking of radiofrequency signals emission source that use directive antennas constitutes a trend in the modern telecommunication systems. The present investigation is based in the application of digital signal processing techniques in FPGA to estimate the angular position of the signal emission source using monopulse. The paper shows design and implementation of processing blocks to determinate source direction from sum and difference resulting channels of the antenna. The system is done by multidomain simulation platform Simulink and exported to hardware description language for implementation in FPGA (Field Programmable Gate Array). In the obtaining of error curve are used polynomial approximation models. The developed system is verified through eight elements antennas array with digital beamforming.

Keywords: Monopulse processor, Simulink, FPGA

FPGA implementation of the monopulse antenna processor system

1. -INTRODUCCIÓN

La utilización de redes de comunicaciones inalámbricas con características directivas constituye una arista en el desarrollo de las telecomunicaciones modernas[1]. Concentrar la energía en la dirección deseada mejora la calidad de la recepción, reduce el efecto de señales interferentes, eleva la seguridad en el flujo de información, facilita la coexistencia espacial con otros sistemas y permite un empleo más eficiente del espectro radioelectrónico[2, 3]. En los últimos años varias aplicaciones inalámbricas han asumido el empleo de antenas directivas: telefonía móvil[4], IEEE 802.11[5, 6], circuitos de geolocalización[7, 8].

Los diagramas de radiación estrechos, inherentes a estos sistemas, hacen necesario la obtención de un medio para su orientación, adquisición de las señales y seguimiento de estas para mantener la conectividad[9]. Este tema ha sido tratado por diferentes autores que ofrecen soluciones que van desde seguimiento por conmutación de haces[10], hasta máquinas de

Recibido: 12/2022 Aceptado: 03/2023

aprendizaje automático[11]. Una opción recurrente es la utilización de sistemas monopulso. Aunque el origen de esta técnica de seguimiento angular se remonta a los sistemas de radar, su empleo actual se consolida y extiende hacia las telecomunicaciones[12-15].

Un sistema monopulso típico incluye dos antenas idénticas separadas a determinada distancia (monopulso con comparación de fase) o ubicadas en el mismo centro de fase, pero con la dirección de radiación principal inclinada (monopulso con comparación de amplitud). La salida de ambas antenas es sumada para obtener un diagrama suma (Σ) y restadas para el diagrama diferencia (Δ). El procesamiento de estos canales permite estimar la desviación de las señales incidentes con respecto a la dirección axial del conjunto[16]. Diversos autores abordan elementos del desarrollo de sistemas con monopulso. Sus trabajos se centran en dos líneas fundamentales: estudios teóricos sobre su rendimiento[17-19] y diseño de dispositivos de antenas y alimentadores[20-22].

El objetivo de este trabajo es mostrar la implementación de los bloques para la estimación de la desviación angular en un sistema monopulso con comparación de amplitud a partir de las señales en fase y cuadratura de los canales suma y diferencia. Como plataforma de procesamiento se emplea el FPGA de la familia Stratix IV integrado en la placa de desarrollo TR4. Durante el diseño se utiliza la herramienta de simulación multidominio Simulink para la obtención de los códigos de descripción de hardware necesarios en la implementación. El sistema propuesto es validado con un arreglo de antenas lineal de seis elementos con formación digital de los diagramas Σ y Δ .

El trabajo está formado por tres secciones. En la primera son abordados temas relacionados con los principios de funcionamiento de los sistemas monopulso, así como los elementos matemáticos fundamentales que intervienen en el procesamiento de las señales de los canales suma y diferencia. A continuación, se analiza el desarrollo de sistemas digitales con el empleo de FPGA y la utilización del Matlab para la creación de códigos en lenguajes de descripción de hardware (HDL, por sus siglas en inglés) sintetizables. En un segundo momento se explica la estructura general del sistema propuesto y se aborda su funcionamiento. También se detallan los bloques y esquemas desarrollados para obtener la desviación angular a partir de las señales de los canales suma y diferencia.

A partir de la bibliografía consultada se consideran como probables contribuciones de esta investigación: la fundamentación matemática del procesamiento monopulso con señales en cuadratura, el diseño en Simulink del procesador para un sistema con monopulso, análisis de la obtención de la curva de error basado en modelos polinomiales y la implementación en FPGA del estimador de desviación angular con monopulso. Adicionalmente, se logra la verificación del sistema diseñado a partir de la formación digital de los canales suma y diferencia de un arreglo lineal compuesto por ocho antenas.

2.- MATERIALES Y MÉTODOS

2.1.- PRINCIPIOS DE UN SISTEMA MONOPULSO

La estimación angular de la dirección de fuentes de señales a través del monopulso con comparación de amplitud parte de poseer dos diagramas de radiación con igual centro de fase y una desviación en su orientación con respecto al eje axial del sistema. La suma y resta de ambos conducen a las respuestas mostradas en la Figura 1.

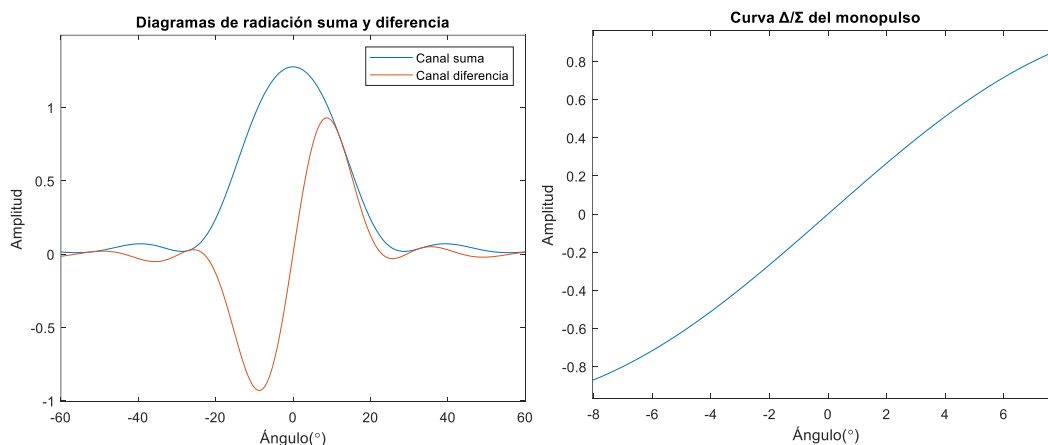


Figura 1

Respuesta de los canales suma y diferencia de un sistema monopulso.

La línea azul representa al canal Σ , la roja se corresponde con el Δ , el eje de las abscisas contiene la dirección angular en grados y el de las ordenadas la amplitud de las respuestas. Si se tiene una fuente de radiofrecuencia transmitiendo desde la dirección normal (0°), la salida del canal suma es máxima mientras que en el canal diferencia no se obtiene señal. Si la fuente sufre un desplazamiento de su posición actual, la respuesta del canal diferencia deja de ser nula, surge un voltaje, denominado voltaje de error, que puede ser utilizado para estimar la magnitud del desplazamiento. Adicionalmente, Δ presenta fases contrarias alrededor de 0° lo cual posibilita conocer el sentido del movimiento. Lo anterior constituye el principio de trabajo de un sistema monopulso para la estimación de la posición angular de fuentes de radiofrecuencia.

Procesar solo el canal diferencia crea una dependencia entre la magnitud del voltaje de error y la amplitud de las señales recibidas. Para erradicar esta deficiencia se trabaja con la curva Δ/Σ para obtener la señal de error (*Error*); de esta forma, además de solventar la problemática expuesta se logra mayor linealidad en el comportamiento del error en función del ángulo de incidencia. La imagen de la derecha en la Figura 1 representa la característica Δ/Σ en el sector angular comprendido en el ángulo de radiación del canal suma, sección utilizada para el procesamiento monopulso. Como se observa, a cada valor de corrimiento angular le corresponde un nivel de error, entre estos existe una relación aproximadamente lineal caracterizada por la función Δ/Σ .

En la mayor parte de los trabajos consultados los diagramas de radiación suma y diferencia son generados de forma analógica a través de la disposición de las antenas y su sistema de alimentación[19]. Esta arquitectura permite obtener el corrimiento angular de las señales recibidas con respecto al eje axial del sistema en el plano sobre el cual ocurre la desviación de los diagramas de radiación por lo que se considera de una dimensión. Para lograr un sistema monopulso de dos dimensiones es necesario agregar dos diagramas de radiación en el plano perpendicular al anterior[23]. El presente trabajo se centra en el desarrollo del procesamiento de una dimensión al ser la base de todo sistema monopulso.

2.2.- PROCESAMIENTO DE LOS CANALES SUMA Y DIFERENCIA

El procesador de un sistema monopulso trabaja con la relación entre las señales de salida de los canales diferencia y suma (d y s respectivamente). Los fasores de voltaje (envolventes complejas) de ambas señales pueden ser denotados en función de sus componentes en fase y cuadratura mediante las expresiones 1 y 2 respectivamente:

$$d = d_I + jd_Q \quad (1)$$

$$s = s_I + js_Q \quad (2)$$

En las expresiones 1 y 2 los subíndices I y Q se refieren se refieren a la parte real e imaginaria (en ese orden) de las señales d y s .

A partir de estas, la relación compleja entre los canales Δ y Σ queda definida como:

$$Error = \Delta/\Sigma = \frac{d}{s} = \frac{d_I s_I + d_Q s_Q + j(d_Q s_I - d_I s_Q)}{s_I^2 + s_Q^2} \quad (3)$$

Esta puede ser descompuesta en sus componentes ortogonales:

$$\text{Re}(\Delta/\Sigma) = \frac{d_I s_I + d_Q s_Q}{s_I^2 + s_Q^2} \quad (4)$$

$$\text{Im}(\Delta/\Sigma) = \frac{d_Q s_I - d_I s_Q}{s_I^2 + s_Q^2} \quad (5)$$

El valor absoluto de Δ/Σ (Abs_{MP}) contiene la información necesaria para determinar la desviación de la fuente de la señal recibida con respecto al origen y su fase ($Fase_{MP}$) indica el sentido de la desviación[24]. El subíndice MP indica que ambos se obtienen a la salida del procesador monopolso. Pueden ser calculados mediante las expresiones 6 y 7 respectivamente.

$$Abs_{MP} = \sqrt{\text{Re}(\Delta/\Sigma)^2 + \text{Im}(\Delta/\Sigma)^2} \quad (6)$$

$$Fase_{MP} = \tan^{-1} \frac{\text{Im}(\Delta/\Sigma)}{\text{Re}(\Delta/\Sigma)} \quad (7)$$

2.3.- PROCESADOR DIGITAL DE SISTEMAS MONOPULSO SOBRE FPGA

Los FPGA son dispositivos lógicos programables que se emplean en un gran número de aplicaciones de procesamiento digital de señales. Si bien operan a frecuencias de reloj más bajas y tienen picos de rendimiento inferiores en comparación con otros dispositivos como son los DSP (del inglés *Digital Signal Processor*) o unidades de procesamiento central (CPU), la posibilidad de adaptarse para cada aplicación particular le permite a los FPGA lograr mejores tasas de rendimiento en muchas de estas aplicaciones[25].

En los procesadores monopolso se requiere una elevada precisión durante la realización de las diferentes operaciones matemáticas que intervienen en la estimación. Debe ser sensible a pequeños valores de error para asegurar una mayor precisión en el seguimiento y reaccionar de forma satisfactoria a desviaciones angulares pequeñas. En este sentido, el empleo de dispositivos optimizados para la realización de operaciones en punto flotante representa la mejor opción en comparación con los FPGA. A pesar de ello, el procesamiento adecuado de señales en punto fijo permite obtener índices de calidad adecuados en una amplia gama de aplicaciones lo cual brinda a los FPGA la posibilidad de ser utilizados en sistemas de procesamiento digital de señales donde se requiera de precisión durante la realización de operaciones matemáticas.

En el presente trabajo se efectúa la implementación de los bloques que intervienen en el procesamiento de las señales adquiridas por un sistema monopolso utilizando un FPGA. Para la descripción del hardware del procesador se optó por un flujo de diseño basado en la Plataforma de Simulación Multidominio Simulink integrada en el Matlab[26]. El procedimiento parte de la realización de los componentes del sistema digital Simulink y su exportación a lenguaje de descripción de hardware. Mediante la instrucción *hdllib* se accede a los bloques que forman parte de la librería de elementos sintetizables a HDL del Simulink, con estos es posible elaborar un diseño íntegro del sistema capaz de ser exportado y utilizado en aplicaciones prácticas con dispositivos de hardware programables. Simulink no solo permite el diseño del sistema sino además incluye los elementos necesarios para su verificación funcional y la herramienta *HDL Coder Properties* para configurar las propiedades del código generado por cada bloque. Entre sus posibilidades de configuración se encuentran la selección del dispositivo sobre el cual se sintetizará el diseño y la frecuencia de trabajo máxima del bloque, opciones del pipeline y el sistema de sincronismo, manejo de las operaciones en punto flotante y generación de banco de pruebas. En las etapas de diseño se debe valorar constantemente la precisión de las operaciones matemáticas que se realizan en punto fijo y evitar el desbordamiento de los datos durante estas, ambas situaciones influyen negativamente en el rendimiento del sistema. Para el desarrollo del procesador monopolso el primer elemento tiene un peso fundamental debido a la precisión exigida durante el manejo de los datos.

El esquema sintetizado mediante este procedimiento tiene la ventaja de poder ser empleado en cualquier familia de dispositivos FPGA. En el presente trabajo se escogió como plataforma de procesamiento el dispositivo EP4SGX230C2 presente en la tarjeta de desarrollo Terasic TR4. Este incluye 228000 elementos lógicos, 17133 kb de memoria y 1288 multiplicadores de 18x18 bits. Adicionalmente basado en los desarrollos obtenidos en[27] es posible emplear el mismo diseño para obtener los canales suma y diferencia.

3.- IMPLEMENTACIÓN DEL PROCESADOR MONOPULSO

3.1.- ESQUEMA GENERAL DEL SISTEMA DE PROCESAMIENTO

La estimación de la desviación angular a partir de las señales suma y diferencia necesita dos momentos para su realización. Su funcionamiento se puede describir a través del esquema mostrado en la Figura 2.

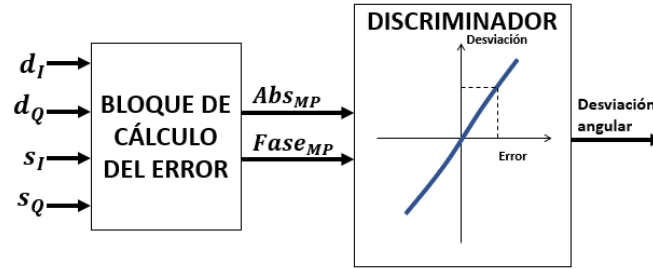


Figura 2

Esquema general del sistema de procesamiento para la estimación de la desviación angular.

El primer elemento del sistema es el bloque de cálculo del error. Este recibe a su entrada las componentes en fase y cuadratura de los canales de suma y diferencia y entrega el valor absoluto y el argumento del fasor del error. Su implementación consiste en el desarrollo del conjunto de ecuaciones expuestas en la sección 2.2. La segunda etapa del procesamiento contiene un bloque discriminador, encargado de determinar la desviación angular a partir de la señal de error. Para ello se evalúa el error determinado en la función inversa de Δ/Σ , denominada a partir de ahora como $(\Delta/\Sigma)^{-1}$.

3.2.- DISEÑO DEL BLOQUE DE CÁLCULO DEL ERROR

Para la obtención del bloque de cálculo del error se organiza el diseño en dos secciones. La primera, emplea las señales en fase y cuadratura de los canales suma y diferencia para determinar las componentes real e imaginaria de la señal de error, básicamente efectúa la implementación de las ecuaciones 4 y 5. En la segunda sección se desarrollan las expresiones 6 y 7 para obtener el valor absoluto y el argumento del error. El diseño en Simulink de los elementos correspondientes a la primera etapa de cálculo se representa en la Figura 3.

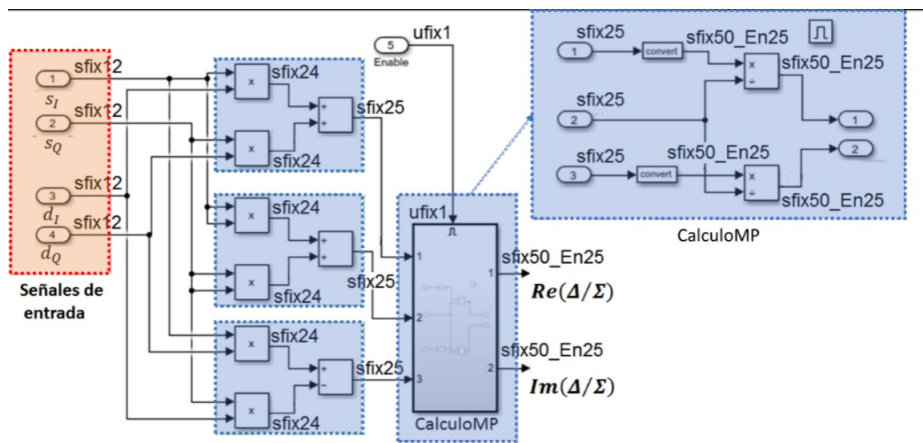


Figura 3

Esquema en Simulink para el cálculo de las componentes en fase y cuadratura de la señal de error.

En la figura se emplean tres notaciones para simbolizar el formato de los datos en las diferentes secciones del sistema: sfixN (valor de N bits en punto fijo con signo y sin bits en la parte fraccionaria), ufixN (valor de N bits en punto fijo sin signo y sin bits en la parte fraccionaria) y sfixN_EnM (valor de N bits en punto fijo con signo y con M bits en la parte fraccionaria). La precisión de cada valor se encuentra determinada por el número de bits empleados en la parte fraccionaria.

Las entradas procedentes de los canales Σ y Δ son combinadas linealmente en tres agrupaciones para resolver los términos del numerador y denominador de las expresiones 4 y 5. Los resultados son enviados al bloque sincrónico CalculoMP donde se efectúan las operaciones finales. Todos los datos manejados se encuentran en punto fijo, lo cual reduce las exigencias del cálculo y ocupación de recursos (con relación al punto flotante) a expensas de afectar la exactitud de los resultados. Los principales problemas surgen durante las divisiones efectuadas en CalculoMP. Para lograr una mejor aproximación se introducen bloques de conversión de datos que agregan 25 bits en la fracción de los dividendos. En principio, estos bloques

modifican únicamente la representación de las señales de entrada, sin embargo, su empleo permite que la salida de las divisiones pueda configurarse de igual forma con 25 bits en la fracción del cociente limitando el error absoluto máximo del cálculo a 1.49×10^{-8} .

Para la segunda etapa de cálculo se utilizó el esquema mostrado en la Figura 4. Tiene como entradas las componentes real e imaginaria del error. Estas son procesadas por dos líneas independientes para determinar el valor absoluto y el argumento de la señal de error. Las principales operaciones de este esquema se efectúan en punto flotante de simple precisión, lo cual se denota en la figura con el identificador single, se utiliza single(c) para datos complejos en igual formato. El trabajo en punto flotante es necesario debido a restricciones del Simulink para la exportación a HDL de los bloques *atan2* y $|u|$ con señales en punto fijo.

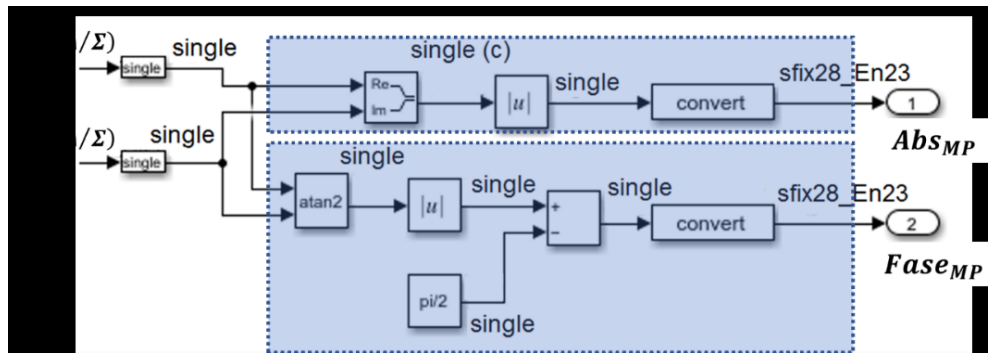


Figura 4

Esquema en Simulink del cálculo del valor absoluto y el argumento de la señal de error.

Los primeros elementos del procesamiento son dos conversores de datos para ajustar las señales de entrada (palabras de 28 bits con 23 en la fracción) a las exigencias del diseño. Tras la modificación, $\text{Re}(\Delta/\Sigma)$ y $\text{Im}(\Delta/\Sigma)$ pasan a los diferentes canales de cálculo. La línea superior realiza la implementación de la ecuación 6, para ello construye un número complejo con las partes real e imaginaria y determina su módulo. Para el cálculo del argumento se dificulta la realización de un procedimiento similar por lo que se desarrolla el esquema mostrado en la línea inferior. Los valores angulares brindados por *atan2* toman valores entre $-\pi$ y π lo cual dificulta la toma de decisión sobre el sentido del movimiento en las proximidades de π . Para solventar el problema se efectúa una traslación en $\pi/2$ del valor modular del ángulo determinado. Finalmente, los valores calculados son convertidos en punto fijo para las siguientes etapas de procesamiento.

3.3.- DISEÑO DEL BLOQUE DISCRIMINADOR

El bloque discriminador de un sistema monopulso opera directamente con la señal de error para obtener la desviación angular del objetivo mediante la evaluación de Abs_{MP} y $Fase_{MP}$ en $(\Delta/\Sigma)^{-1}$. La Figura 5 contiene la modelación de la curva $(\Delta/\Sigma)^{-1}$ de un arreglo lineal uniforme de 8 elementos separados 0.65 veces la longitud de onda trabajo, se representan además su valor absoluto y argumento.

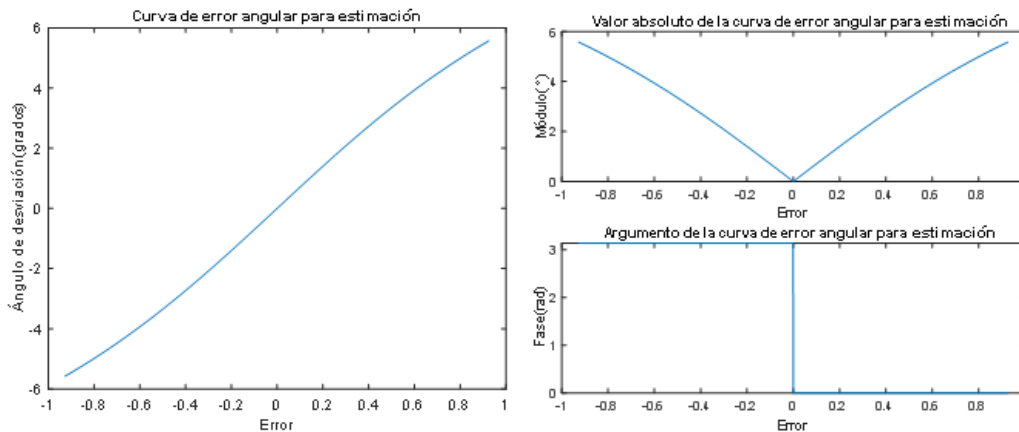


Figura 5

Se observa que para todo valor de *Error* se cumple que $(\Delta/\Sigma)^{-1}(Error) = (\Delta/\Sigma)^{-1}(-Error)$, esto permite afirmar que su valor modular se corresponde inequívocamente con un valor modular en la desviación de las señales recibidas con respecto al eje de radiación normal. La fase sufre un cambio de 180° de un sector a otro lo que permite caracterizar la dirección de la desviación. Para la implementación del bloque discriminador debe evaluarse Abs_{MP} en la curva descrita en el primer cuadrante de $(\Delta/\Sigma)^{-1}$ y agregar el sentido de la desviación a partir de $Fase_{MP}$.

El primer paso para obtener el discriminador es determinar la ecuación matemática que describe a la función $(\Delta/\Sigma)^{-1}$. Esta depende directamente de la forma de los diagramas de radiación Σ y Δ . Una aproximación útil se desarrolla en el trabajo realizado por Plessis[28], basada en el empleo de modelos polinomiales. A partir de ella es posible establecer la siguiente expresión para caracterizar la desviación angular a partir del módulo del error:

$$(\Delta/\Sigma)^{-1}(Abs_{MP}) = \sum_{n=0}^N k_{2n+1} Abs_{MP}^{2n+1} \tag{8}$$

El índice *n* toma valores enteros positivos hasta N y 2N+1 caracteriza el grado del polinomio utilizado. La expansión en series de Taylor dada permite únicamente los términos con exponentes impares, los coeficientes de estos se denotan k_{2n+1} . Por la simplicidad del cálculo es ampliamente utilizada la aproximación lineal de la curva para la cual N=0, a pesar de ello incrementar un término permite reducir los errores durante la determinación de la desviación angular[28]. En este caso la expresión 8 queda redefinida como:

$$(\Delta/\Sigma)^{-1}(Abs_{MP}) = k_1 Abs_{MP} + k_3 Abs_{MP}^3 \tag{9}$$

El segundo elemento del discriminador es determinar la dirección de la desviación angular, para ello se realiza un esquema de comparación con el empleo de $Fase_{MP}$. Como resultado de la comparación se ajustará el signo del valor angular determinado a partir de la ecuación 9.

La Figura 6 muestra el esquema en Simulink propuesto para el discriminador. En esta se incluyen los bloques implementados en Simulink para la obtención de la desviación angular a partir de los valores de Abs_{MP} y $Fase_{MP}$. La representación del formato de los datos conserva la nomenclatura empleada en las figuras 3 y 4.

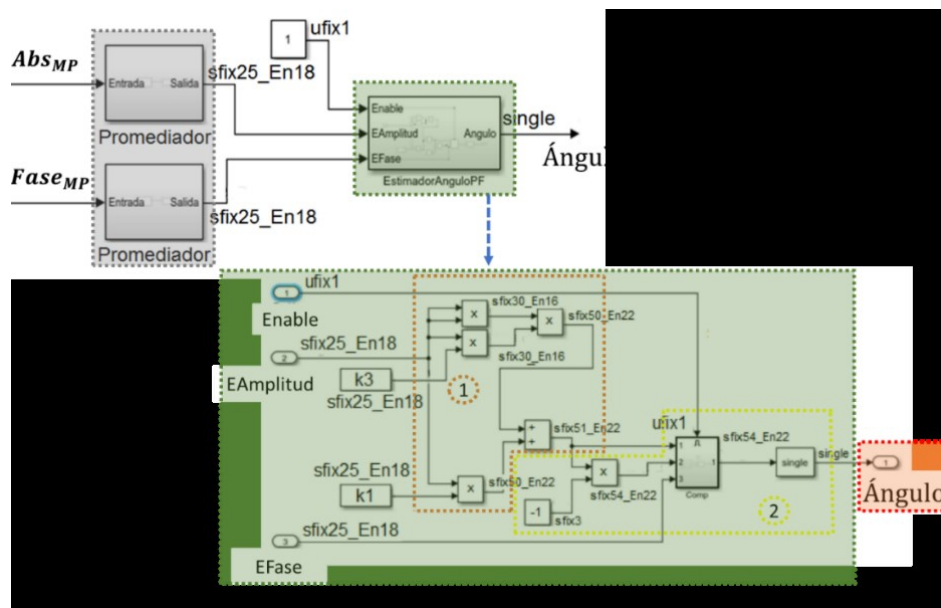


Figura 6

Aunque la medición de la desviación angular en un sistema monopulso solo necesita un instante de muestreo para efectuar el cálculo, la presencia de ruido en los canales suma y diferencia puede afectar el valor de la estimación. Por tanto, el primer bloque del discriminador propuesto es un filtro promediador. En este se determina el valor medio de 20 muestras consecutivas de Abs_{MP} y $Fase_{MP}$ para reducir el error debido al ruido no correlacionado. Los valores resultantes son enviados a EstimadorAnguloPF donde se determina el corrimiento angular. Este bloque se encuentra formado por dos subsistemas: el subsistema 1, encerrado entre puntos rojos, realiza la implementación de la ecuación 9, tiene como entradas el módulo del error determinado y las constantes k_1 y k_3 . El subsistema 2 se encarga de incorporar el signo al valor de la desviación, para ello incluye un multiplexor que direcciona hacia la salida $(\Delta/\Sigma)^{-1}(Abs_{MP})$ o $-(\Delta/\Sigma)^{-1}(Abs_{MP})$ en función del signo de $Fase_{MP}$. El último elemento convierte el ángulo resultante a punto flotante con simple precisión.

3.4.- IMPLEMENTACIÓN DEL SISTEMA DE PROCESAMIENTO

Una vez elaborado y verificado el sistema digital en Simulink es exportado a HDL para la descripción del procesador en el FPGA. El diseño efectuado es agrupado en tres grupos para su exportación: el primero incluye los bloques para la determinación de Abs_{MP} y $Fase_{MP}$, el segundo está compuesto por el filtro promediador y por último el bloque EstimadorAnguloPF. Tras la obtención de los códigos sintetizables estos son utilizados para la descripción esquemática de hardware del procesador monopulso. La Figura 7 contiene una captura de la descripción realizada en *Intel Quartus Prime Standard Edition*.

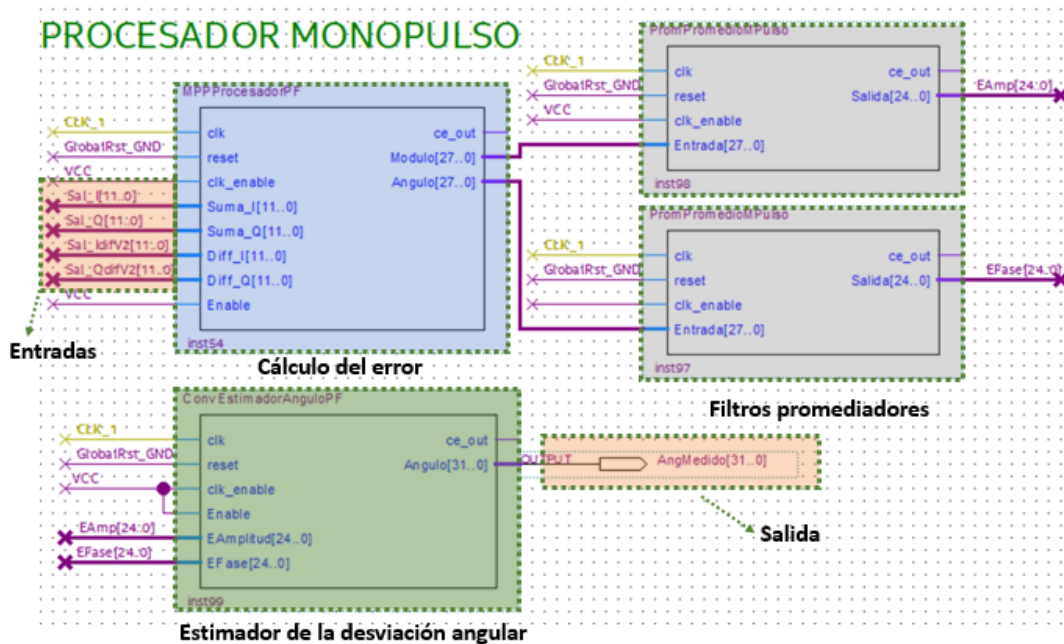


Figura 7

Descripción esquemática del hardware del procesador monopulso.

4.- DISCUSIÓN DE LOS RESULTADOS

4.1.- UTILIZACIÓN DE RECURSOS DEL PROCESADOR MONOPULSO

Un elemento importante tras la implementación es el análisis de la utilización de recursos de hardware. A través de la herramienta *Fitter Resource Utilization by Entity* presente en *Intel Quartus Prime Standard Edition* fue posible valorar el total de recursos ocupados por el procesador monopulso diseñado. Los resultados se reflejan en la Tabla 1.

Tabla 1

Resumen de utilización de recursos de hardware por el procesador monopulso

Función	Filtros promediadores (2)	Estimador del ángulo	Cálculo del error
Nombre en el diseño esquemático	PromPromedioMPulso	ConvEstimadorAnguloPF	MPPProcesadorPF
Lógica utilizada por bloques funcionales	1380	710	13316
Lógica total utilizada	15406		

El diseño empleó un total de 15406 elementos lógicos, lo que representa un 6.75% del disponible en el FPGA utilizado. El mayor peso estuvo en los bloques para el cálculo del error. En estos se realizan la mayor parte de las operaciones del procesamiento, incluye el manejo de datos en punto flotante con simple precisión y punto fijo, además presenta operaciones complejas como el cálculo de la tangente inversa. El sistema implementado aún puede ser optimizado en cuanto a la utilización de recursos. Entre las opciones para hacerlo se encuentran reducir la precisión de las señales en punto fijo, disminuir el total de muestras en el cálculo del promedio o utilizar la aproximación lineal de la curva $(\Delta/\Sigma)^{-1}$. Todo ello implica un deterioro en el rendimiento procesador monopulso. Lo anterior conlleva a una relación de compromiso entre el costo en recursos y la precisión en la estimación de la desviación angular.

4.2.- COMPROBACIÓN FUNCIONAL DEL PROCESADOR MONOPULSO

Para la comprobación funcional del sistema de procesamiento diseñado se utilizó un arreglo lineal uniforme de ocho antenas con una separación de 8.125 cm en la banda de 2.4 GHz. En la formación de los canales de suma y diferencia se aplicaron técnicas de procesamiento digital a las señales recibidas por cada uno de los elementos. Los diagramas de radiación Σ y Δ se formaron digitalmente mediante las distribuciones de amplitud Taylor y Bayliss respectivamente, ambas con -20 dB en el nivel de los lóbulos laterales. La Figura 8 muestra una imagen de la antena utilizada durante las pruebas en cámara anecoica y los diagramas de radiación formados digitalmente para el sistema de estimación angular con monopulso.

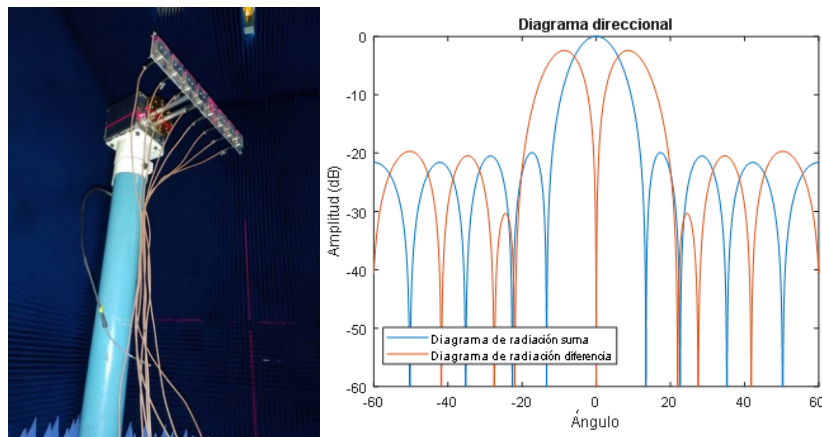


Figura 8

Arreglo lineal uniforme de antenas con diagramas suma y diferencia formados digitalmente.

El diseño de las etapas de adquisición, digitalización de las señales del arreglo de antenas y formación digital de los diagramas de radiación se efectuó con un esquema similar al desarrollado en [27]. Emplear la placa de desarrollo TR4 posibilitó integrar en la misma plataforma la obtención de los canales suma y diferencia, y el procesador monopulso. El esquema utilizado para la medición se muestra en la Figura 9.

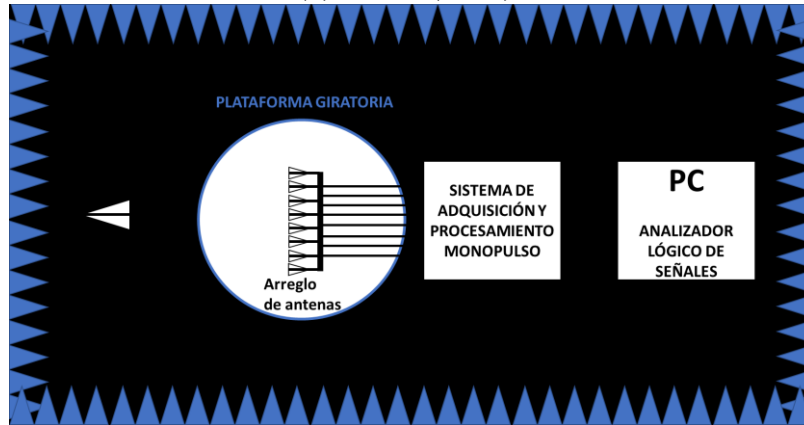


Figura 9

Esquema para la comprobación del procesador monopulso.

En una posición fija se ubicó la antena transmisora, el sistema de antenas con monopulso se colocó en la plataforma giratoria de la cámara anecoica. Se realizaron variaciones controladas en la posición de la plataforma giratoria causando una desviación en la dirección de la señal incidente sobre el arreglo. A través del analizador lógico de señales de *Intel Quartus Prime Standard Edition* se verificó la correspondencia entre la magnitud y sentido del movimiento realizado y el ángulo entregado a la salida del procesador monopulso diseñado.

Durante las mediciones fueron verificadas fuentes de señal provenientes de 11 posiciones angulares distribuidas en un sector angular de $\pm 2.0^\circ$ y con tres valores de relación señal a ruido diferentes (56, 48 y 38 dB). Para cada una de las 33 comprobaciones efectuadas se tomaron con el analizador lógico de señales 1023 muestras del ángulo estimado.

En correspondencia con las fuentes consultadas relacionadas con la implementación de procesadores monopulso, la raíz del error medio cuadrático del ángulo medido (σ_{rms}) permite valorar el comportamiento del estimador angular para diferentes configuraciones del sistema [13, 16, 18, 24, 29]. En la expresión 10 se define la dependencia de este con el ángulo de radiación del canal suma (θ), la relación señal a ruido en veces (SNR), la pendiente de la curva Δ/Σ (m) y el número de muestras de señal recibidas (n) [30].

$$\sigma_{rms} = \frac{0.5\theta}{m\sqrt{2nSNR}} \quad (10)$$

La Tabla 2 muestra un resumen del comportamiento de la raíz del error medio cuadrático tras procesar los datos adquiridos.

Tabla 2

Raíz del error medio cuadrático del ángulo estimado por el procesador monopulso

Posición angular de la fuente de señal (°)	Raíz del error medio cuadrático (°)		
	SNR=56dB	SNR=48dB	SNR=38dB
-2	0.00581248655912425	0.0234098269963706	0.0556776436283002
-1.5	0.00936311913840682	0.0145481957644238	0.0469041575982343
-1	0.00901315704955816	0.00922030368263432	0.0400000000000000
-0.5	0.00436577599058862	0.0102829956724682	0.0400000000000000
-0.1	0.00130479883506999	0.00546159317415715	0.0424264068711929

0	0.00355161934897309	0.0331662479035540	0.05000000000000000
0.1	0.00240848500099129	0.00608678897284931	0.0346410161513775
0.5	0.00181237413356073	0.00732195329130144	0.0360555127546399
1	0.00726333256845644	0.00926169530917531	0.0360555127546399
1.5	0.00770707467201402	0.00476098729256863	0.0331662479035540
2	0.00239463984765977	0.00631078442033952	0.0228606649072156
Valor medio	0.0050	0.0118	0.0398
Valor esperado	0.0043	0.0108	0.0343

En la sección inferior de la tabla se muestra el valor medio de la raíz del error medio cuadrático del ángulo estimado para cada relación señal a ruido. El cálculo de σ_{rms} en las diferentes posiciones se efectuó a partir de los 1023 valores angulares estimados para cada una. El valor esperado se obtuvo de la aplicación de la expresión 10 para el sistema bajo análisis: con la geometría y distribución de amplitud propuesta para el arreglo de antenas se tiene un ángulo de radiación de 7.34° y una pendiente de 0.2131, el número de muestras de la señal toma el valor de 20 en correspondencia con los filtros promediadores incorporados.

La mitad del ángulo de radiación del arreglo de antenas constituye el máximo valor de σ_{rms} que se puede obtener durante la estimación de la dirección angular de una señal que arriba por el lóbulo principal de la antena[24]. Determinar la relación porcentual entre los valores del error obtenidos y el máximo error posible brinda una idea precisa del comportamiento del sistema diseñado. La Tabla 3 muestra los resultados de dicha operación.

Tabla 3
Porcentaje del error en la medición de la coordenada angular

σ_{rms}	Porcentaje del error en la medición de la coordenada angular (%)		
	SNR=56dB	SNR=48dB	SNR=38dB
Medido	0.034	0.081	0.271
Esperado	0.029	0.074	0.233
 Medido- Esperado 	0.005	0.007	0.038

Los resultados muestran que existe correspondencia entre el rendimiento del sistema monopolso ideal y el diseñado, las diferencias entre ambos no superan el 0.038%. En todos los casos la raíz del error medio cuadrático medido es inferior a 0.3% del máximo error posible, lo cual garantiza la realización de mediciones con una precisión de 0.011° .

5.- CONCLUSIONES

A lo largo del trabajo se muestran los elementos considerados durante la implementación de los bloques para la estimación de la desviación angular en un sistema monopolso con comparación de amplitud a partir de las señales en fase y cuadratura de los canales suma y diferencia, por lo que se da cumplimiento al objetivo trazado. Su desarrollo brinda una solución para el procesamiento monopolso basado en FPGA.

En el documento se exponen las principales contribuciones del trabajo al aplicar la fundamentación matemática del procesamiento monopolso para señales en fase y cuadratura procedentes de los canales Σ y Δ . Sobre la base de estas fue diseñado en Simulink el procesador para un sistema con monopolso y se efectuaron los análisis pertinentes para la obtención

de la curva de error basado en modelos polinomiales. El diseño final del estimador de desviación angular con monopolso fue exportado a lenguaje de descripción de hardware e implementado en un FPGA.

Las pruebas funcionales realizadas permitieron validar el sistema a través de un arreglo lineal compuesto por seis antenas. Mediante técnicas de procesamiento digital se formaron los diagramas de radiación suma y diferencia y en el interior de una cámara anecoica se comprobaron los resultados de la estimación de la desviación angular de las señales incidentes sobre el arreglo de antenas. Como resultado de las mediciones efectuadas se determinó la correspondencia entre el sistema diseñado y los límites teóricos establecidos para este, la diferencia entre ambos no supera el 0.038%. El caso más crítico se obtuvo para una relación señal a ruido de 38 dB para la cual se garantiza una precisión de 0.011° durante la medición de las coordenadas angulares de las fuentes de señal incidentes. Como se aprecia en la expresión 10, y los resultados obtenidos existe una relación inversa entre la relación señal a ruido y la raíz del error medio cuadrático, por lo que se recomienda analizar en trabajos futuro el comportamiento del procesador diseñado en condiciones de baja relación señal a ruido.

El procesador monopolso implementado en combinación con el sistema de antenas adecuado puede ser utilizado como parte de una red de comunicaciones inalámbricas con características directivas. En esta, el ángulo resultante de la estimación puede indicar la dirección de radiación principal para redirigir el diagrama direccional de las antenas, o puede tomarse como señal de estímulo para un sistema de control automático que efectúe el seguimiento de la fuente de señal deseada.

REFERENCIAS

1. Robin G., Thomas A. J. M. Review on directional antenna for wireless sensor network applications. *IET Communications*. 2020; 14(5): 715-722.
2. Hong-Ning D., Kam-Wing N., Minglu L., Min-You W. An overview of using directional antennas in wireless networks. *International Journal Of Communication Systems*. 2013; 26(4): 413-448.
3. Mazar H. Regulating and standardizing directive antenna patterns to improve coexistence. *Texas Symposium on Wireless and Microwave Circuit and Systems*. Texas; Estados Unidos de América; 2018. doi: 10.1109/WMCaS.2018.8400643.
4. Mohamed M. M. A., Abdel-Razik S. Directive Antennas for Future 5G Mobile Wireless Communications. XXXIInd General Assembly and Scientific Symposium of International Union of Radio Science. Montreal; Canadá; 2017. doi: 10.23919/URSIGASS.2017.8105059.
5. Qiu W., Hong-Ning D., Zibin Z., Muhammad I., Athanasios V. V. On Connectivity of Wireless Sensor Networks with Directional Antennas. *Sensors*. 2017; 17(1): 1-22.
6. Rui D., Hailiang X., Mengshi H., Yan X., Stephen M., Montemurro M., Tony X. H., Jie X. An Overview on IEEE 802.11bf WLAN Sensing. 2022. doi: 10.48550/arXiv.2207.04859. Disponible en: <https://arxiv.org/abs/2207.04859>.
7. Guzmán-Quirós R., Martínez-Sala A., Gómez-Tornero J. Integration of directional antennas in an RSS fingerprinting-based indoor localization system. *Sensors*. 2016; 16(1): 1-4.
8. Gautam P.R., Kumar S., Verma A. Energy-efficient localization of sensor nodes in WSNs using beacons from rotating directional antenna. *IEEE Transactions on industrial informatics*. 2019; 15(11): 5827-5836.
9. Rzasa J.R. Pointing, acquisition, and tracking for directional wireless communications networks. Maryland, Estados Unidos: University of Maryland; 2012.
10. Settawit P., Peerapong U. Beam Tracking in Switched-Beam Antenna System for V2V Communication. *International Journal of Antennas and Propagation*. 2016; 2016(Special): 1-13.
11. Alasti H. Communication-Efficient Tracking of Unknown, Spatially Correlated Signals in Ad-Hoc Wireless Sensor Networks: Two Machine Learning Approaches. *Sensors*. 2021; 21(15): 1-18.
12. Stewart J., Jonas G., Fredrik H. A portable monopulse tracking antenna for UAV communications. 22nd International Unmanned Air Vehicle Systems Conference. Bristol; Reino Unido; 2007.
13. Xi P., Chaoxing Y., Jiankang Z. Nonlinearity-Based Single-Channel Monopulse Tracking Method for OFDM-Aided UAV A2G Communications. *IEEE Access*. 2019; 7(1): 148485-148494.
14. Gómez-Tornero J. L., Cañete-Rebenaque D., López-Pastor J. A., Martínez-Sala A. S. Hybrid Analog-Digital Processing System for Amplitude-Monopulse RSSI-based MiMo WiFi Direction-of-Arrival Estimation. *Journal of Selected Topics in Signal Processing*. 2018; 12(3): 529-540.
15. Ha-Lim S., Young-Chai K. Robust and Low Complexity Beam Tracking with Monopulse Signal for UAV Communications. *IEEE Transactions on vehicular technology*. 2021; 70(4): 3505-3513.
16. Xinyu Z., Yang L., Xiaopeng Y., Le Z., Teng L., Christopher J. B. A Novel Monopulse Technique for Adaptive Phased Array Radar. *Sensors*. 2017; 17(1): 1-22.
17. Xu-Dong H., Huang H., Qing-Liang C., Liu H., Liang-Jian J., Fu-Hong G., Zhang X., Xin-Yang J. Research on Multi-target Resolution Process with the Same Beam of Monopulse Radar. 2017 17th IEEE International Conference on Communication Technology. Chengdu; China; 2017. doi: 10.1109/ICCT.2017.8359805.

18. Werner K., Jürgen D. Comparison of Amplitude-Matching and Complex Monopulse Algorithms with Respect to SNR. *International Journal of Electronics and Communications*. 2002; 57(3): 168–172.
19. Nickel U. Overview of Generalized Monopulse Estimation. *IEEE A&E SYSTEMS MAGAZINE*. 2006; 21(6): 27-56.
20. Lanfranco H.P., Cepero L. K., Mediavilla S. A., Marante R. F. Design of a TM01 compact mode coupler for tracking mono-pulse systems. *RIELAC*. 2014; 35(2): 1-10.
21. Kavitha M., Selva V. K. Design Analysis of Monopulse Antenna. *Fifth International Conference on Intelligent Computing and Control Systems*. Madurai; India; 2021. doi: 10.1109/ICICCS51141.2021.9432252.
22. Ogun C. Demet S.A.S. SLL Suppressed Monopulse Microstrip Antenna Design. *Antennas and Propagation Society International Symposium*. Memphis; Estados Unidos de América; 2014. doi: 10.1109/APS.2014.6905254.
23. HellGren G. The theory of monopulse radar. PhD Thesis. Gothenburg University; 1960. Disponible en: https://www.google.com/url?sa=t&source=web&rct=j&url=https://research.chalmers.se/publication/177710/file/177710_Fulltext.pdf&ved=2ahUKEwiy47aglIT_AhVFtTEKHZFmA70QFnoECAwQAQ&usq=AOvVaw3ssFAEsRV3fkA8Z8uZ9Y8V.
24. Sherman S. M., Barton. D.K. *Monopulse Principles and Techniques*. 2nd ed: Artech House; 2011.
25. Rucci E. FPGAs: ¿los procesadores del futuro? *Bit & Byte*. 2017; 3(6): 46.
26. *Simulink User's guide 2019: MathWork*; 2019. Disponible en: <https://www.mathworks.com/help/simulink>.
27. Ramírez Z. A. R., Ramírez N. R., Hernández V. A., Ibarra G. Y., Peña S. A. Formador digital de múltiples diagramas simultáneos basado en FPGA y el transceptor AD9361. *RIELAC*. 2022; 43(1): 1-15.
28. Plessis W.P. Modelling Monopulse Antenna Patterns. *2013 Saudi International Electronics, Communications and Photonics Conference*. Riyadh; Saudi Arabia; 2013. doi: 10.1109/SIECPC.2013.6550791.
29. Wodek M.A.G. Design and Performance of the Monopulse Control System. *EEEAntennas and Propagation Magazine*. 1999; 41(6): 40-50.
30. Mailloux R.J. *Phased Array Antenna Handbook*. Third ed. Norwood: Artech House; 2018.

CONFLICTO DE INTERESES

Ninguno de los autores manifestó la existencia de posibles conflictos de intereses que debieran ser declarados en relación con este artículo.

CONTRIBUCIONES DE LOS AUTORES

Alexander R. Ramírez Zaldívar: Conceptualización, Software, Metodología, Validación -Verificación, Redacción – revisión y edición

Noslen Rojas Ramírez: Conceptualización, Metodología, Redacción – revisión.

Abel Hernández Violat: Conceptualización, Metodología, Investigación, Validación -Verificación.

Yunior Ibarra Guerra: Conceptualización, Metodología, Software, Validación -Verificación, Redacción – revisión y edición.

Addiel Peña Sierra: Conceptualización, Metodología, Investigación.

AUTORES

Alexander R. Ramírez Zaldívar, Ingeniero Radioelectrónico ITM “José Martí”, Máster en Sistemas Digitales en la Universidad Tecnológica de la Habana “José Antonio Echeverría”. Centro de Investigación y Desarrollo de Electrónica y Mecánica “CID MECATRONICS”, La Habana, Cuba. Correo electrónico: alex.r_92@outlook.com, No. ORCID: 0000-0002-0372-0746. Sus principales intereses de investigación lo comprenden: antenas, procesamiento de señales.

Noslen Rojas Ramírez, Ingeniero Radioelectrónico ITM “José Martí”, Dr. Ciencias Técnicas, Centro de Investigación y Desarrollo de Electrónica y Mecánica “CID MECATRONICS”, La Habana, Cuba. Correo electrónico: noslenrr71@outlook.com, No. ORCID: 0000-0002-8884-320X. Sus principales intereses de investigación lo comprenden: diseño de antenas.

Abel Hernández Violat, Ingeniero Radioelectrónico ITM “José Martí”, optante al grado académico de Dr. en Ciencias Técnicas, Centro de Investigación y Desarrollo de Electrónica y Mecánica “CID MECATRONICS”, La Habana, Cuba. Correo electrónico: abelviolat@outlook.com, No. ORCID: 0000-0001-6886-3871. Sus principales intereses de investigación lo comprenden: procesamiento de señales.

Alexander Ramírez, Noslen Rojas, Abel Hernández, Yunior Ibarra, Addiel Peña

RIELAC, Vol. 44(1):e2302 (2023) ISSN: 1815-5928

Yunior Ibarra Guerra, Ingeniero Radioelectrónico ITM “José Martí”, Máster en Sistemas Digitales en la Universidad Tecnológica de la Habana “José Antonio Echeverría”. Centro de Investigación y Desarrollo de Electrónica y Mecánica “CID MECATRONICS”, La Habana, Cuba. Correo electrónico: yuniorig2016@gmail.com, No. ORCID: 0000-0002-0538-4053. Sus principales intereses de investigación lo comprenden: procesamiento de señales.

Addiel Peña Sierra, Ingeniero Radioelectrónico ITM “José Martí”, Máster en Radioelectrónica en el ITM “José Martí”, Centro de Investigación y Desarrollo de Electrónica y Mecánica, “CID MECATRONICS”, La Habana, Cuba. Correo electrónico: apscrrd0402@outlook.com, No. ORCID: 0000-0001-5460-5951. Sus principales intereses de investigación lo comprenden: sistemas transceptores.



Esta revista se publica bajo una [Licencia Creative Commons Atribución-No Comercial-Sin Derivar 4.0 Internacional](https://creativecommons.org/licenses/by-nc-nd/4.0/)