

Implementación de la Lógica de Control de un Sistema Ultrasonico Doppler Pulsado en Hardware Reconfigurable

D. Torres¹, A. Jimenéz²

¹Instituto de Cibernética, Matemática y Física, Departamento de Física Aplicada didier@icmf.inf.cu

²Instituto de Cibernética, Matemática y Física, Departamento de Física Aplicada antonio@icmf.inf.cu

RESUMEN / ABSTRACT

En este trabajo se emplean técnicas avanzadas de diseño digital, para describir, utilizando lenguajes de descripción de hardware, el módulo encargado de la generación de las señales de control y de sincronismo en un Sistema Ultrasonico Doppler Pulsado, utilizado en la validación del flujo sanguíneo en procedimientos de revascularización coronaria. Posteriormente se verifica el diseño propuesto y finalmente se obtiene un Módulo de Propiedad Intelectual para ser utilizado en sistemas de procesamiento embebidos.

Palabras claves: Doppler Pulsado, Módulo de Propiedad Intelectual, sistemas de procesamiento embebido

In this work, digital design advanced techniques are used to present, using hardware description language, the Control Logic implementation of a Pulsed Doppler Ultrasonic System in reconfigurable hardware. As a result, an Intellectual Property Core is obtained which will be used for the generation of control and synchronism signals, in the fulfillment of a Doppler system for the measurement and validation of the blood flow in coronary revascularization surgeries. Later, the design is verified and finally the Intellectual Property Core will be used in processing embedded systems.

Key words: Intellectual Property Core, processing embedded systems, Pulsed Doppler

INTRODUCCIÓN

Las técnicas de ultrasonido Doppler fueron introducidas en la medicina en la última mitad de la década de 1950 y, con el transcurso de los años, se ha ido incrementado regularmente su empleo; de manera que en la actualidad es considerada, una herramienta indispensable en muchas situaciones de diagnóstico clínico¹. Esta técnica permite generar tanto la imagen de alguna estructura interna del cuerpo, como el espectrograma asociado al flujo sanguíneo cardiovascular y medir no invasivamente la velocidad de estructuras en movimiento, permitiendo realizar un diagnóstico estructural y funcional de partes del cuerpo humano a partir de la acción de transductores ultrasónicos colocados externamente².

Las unidades Doppler más simples, de onda continua y de onda pulsada, producen una señal de salida relacionada con la velocidad del objeto en movimiento y se utilizan para la validación de los implantes coronarios en los procedimientos de revascularización coronaria. Ambos sistemas, pueden ser empleados para detectar la presencia o ausencia de flujo, monitorear cambios de la circulación sanguínea y para

registrar la forma de la onda de flujo, la cual puede contener información considerable del sistema cardiovascular³.

Uno de los inconvenientes de los sistemas de onda continua es que, debido a que transmiten ultrasonido constantemente, no son capaces de proporcionar información sobre el intervalo al cual está ocurriendo el movimiento. Entre los sistemas empleados para discriminar el alcance o intervalo en una medición, se encuentran los sistemas onda pulsada, los que solucionan este inconveniente, transmitiendo cortos trenes de pulsos (*bursts*) de ultrasonido a intervalos regulares, y recibiendo solamente durante cortos períodos de tiempo previamente seleccionados. La duración de dicho intervalo de tiempo, determina aproximadamente el alcance en distancia a la que puede ser interrogada una estructura³.

Debido a la necesidad de estudiar diversos tipos de estructuras y a distintas profundidades en el cuerpo humano, y a la incapacidad de los sistemas pulsados de transmitir y recibir ondas ultrasónicas simultáneamente, el diseño de este tipo de instrumentación ha sido objeto de estudio a lo largo de los años por científicos e investigadores. En sus diseños se ha

incluido una sección denominada Lógica de Control. Esta sección constituye un diseño digital discreto y cuenta con un gran número de circuitos digitales independientes, los que en conjunto tienen el objetivo de generar señales en cuadratura de fase (seno y coseno), señales para autorizar los procesos de transmisión y recepción de ultrasonido, así como generar la frecuencia de repetición del pulso que habilita la transmisión y recepción de ultrasonido.

Independientemente de los disímiles diseños propuestos, se hace necesario, hoy en día, evaluar el desarrollo de estos sistemas, y específicamente de la Lógica de Control, desde la perspectiva *System on Programmable Chip*, aprovechando la existencia de plataformas de implementación mucho más versátiles como las FPGAs (*Field Programmable Logic Arrays*). Esto reporta enormes ventajas, dentro de las que se incluyen: la fiabilidad, la reducción de los tiempos de diseño y de puesta a punto, la reconfigurabilidad y la reusabilidad.

Este trabajo persigue como objetivo la implementación en hardware reconfigurable de la Lógica de Control para un sistema ultrasónico Doppler Pulsado. Como resultado se obtiene un módulo, embebido en una FPGA de Xilinx, que se encargará de la sincronización y generación de las señales para la transmisión y recepción de ultrasonido.

MATERIALES Y MÉTODOS

Sistemas Doppler de Onda Pulsada. Lógica de Control

En la figura 1 se muestra el diagrama de bloques de un sistema Doppler pulsado.

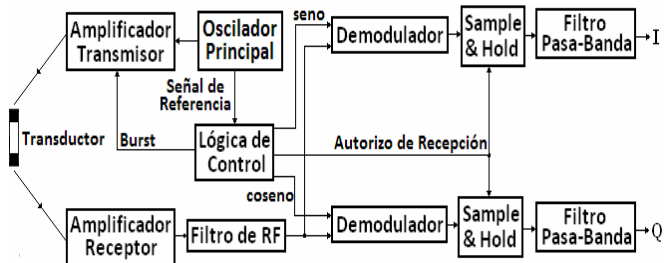


Figura 1. Diagrama de bloques de un sistema Doppler pulsado.

La diferencia principal de estos sistemas con los sistemas de onda continua radica en que el transductor es excitado con *bursts* (cortos trenes de pulso) en lugar de ser excitado constantemente. El *burst* de ultrasonido viaja dentro de la anatomía humana, donde es dispersado debido al movimiento de los componentes sanguíneos. Los ecos ultrasónicos (señales acústicas), tanto de las estructuras en movimiento como en estado estacionario, son recibidos por el mismo transductor y convertidos en señales eléctricas. Este proceso se repite para todos los *bursts* de ultrasonido³.

Estas señales son amplificadas por el amplificador receptor y luego son mezcladas, en dos canales independientes, con las señales en cuadratura de fase (seno y coseno) generadas por la Lógica de Control, la cual, además, proporciona el sincronismo necesario para implementar los *bursts* de transmisión, la frecuencia a la que ocurren los procesos de transmisión y recepción y las correspondientes señales de habilitación⁴.

La información del corrimiento en frecuencia Doppler se extrae mediante un proceso de demodulación. Las señales demoduladas contienen la información del intervalo de fase; esto es, para cada *burst* de ultrasonido, la diferencia de fase entre la señal de referencia y el eco recibido en el intervalo especificado. La salida del demodulador es muestreada, por el circuito *sample & hold*, a un momento específico relacionado con el inicio del pulso de transmisión. El tiempo de muestreo define la profundidad de interés, y se elige de manera que se corresponda con el tiempo que demora el sonido en viajar desde el transductor a la profundidad de interés y regresar⁴.

El circuito *sample & hold* muestrea la salida del demodulador, la integra sobre el período de muestro y luego almacena el valor integrado hasta el próximo período de muestreo. Para una realización óptima del sistema, la duración del *burst* de transmisión debe ser la misma que la duración del muestreo o señal de recepción generada en la Lógica de Control³.

La salida de los circuitos *sample & hold* contienen no solo los desplazamiento de frecuencia Doppler, sino también la frecuencia de muestreo, la cual debe ser eliminada. Para que el intervalo completo de frecuencia Doppler pueda ser utilizado, se emplea un filtro pasa bajo con el objetivo de eliminar la frecuencia de muestreo sin degradar la señal Doppler. También se debe utilizar un filtro pasa alto para eliminar las señales de alta energía y baja frecuencia que resultan del movimiento de estructuras como el corazón y las paredes de los vasos sanguíneos³.

Lógica de Control en Hardware Reconfigurable

La Lógica de Control en un sistema ultrasónico Doppler pulsado constituye un diseño digital discreto y cuenta con un gran número de circuitos digitales independientes. Este conjunto de circuitos integrados, como muestra la figura 1, son capaces de proporcionar el sincronismo necesario entre las señales para implementar los *bursts* de transmisión, las señales de referencia en cuadratura de fase y la señal de autorizo para la recepción de ultrasonido. De esta manera es posible almacenar las señales demoduladas y controlar los tiempos de transmisión y recepción de ultrasonido, con intervalos previamente escogidos⁵.

Implementación Híbrida

Se han propuesto diversos diseños para la Lógica de Control agrupándose en realizaciones software y realizaciones *hardware*. Las realizaciones *hardware*, basadas en el empleo de circuitos integrados discretos, han sido las soluciones más ampliamente adoptadas, y son requeridas por aquellas aplicaciones donde la velocidad de procesamiento es un factor importante, aunque ocupan un área de circuito impreso considerablemente grande. Por otro lado, las realizaciones totalmente *software*, basadas fundamentalmente en subrutinas en lenguaje Ensamblador, han sido muy poco utilizadas debido al exceso de código de programa que se necesita, y a que su tiempo de respuesta viene limitado por la inherente ejecución secuencial de los programas.

Por último, se encuentran las realizaciones híbridas basadas en técnicas de codiseño hardware-software, que permiten obtener

un compromiso adecuado entre las ventajas e inconvenientes de las alternativas anteriores.

La distribución entre la implementación hardware y la ejecución software de las tareas que debe realizar el sistema de procesamiento, permite obtener una solución que combina las ventajas de flexibilidad y velocidad, reduciendo el área del impreso. Una posible estrategia de particionado de estas tareas consiste en la implementación sobre hardware dedicado de la Lógica de Control y la realización software de las restantes tareas de configuración e inicialización convencional. Una alternativa para abordar el codiseño consiste en implementar la Lógica de Control, totalmente, mediante hardware dedicado con una arquitectura específica. Esta partición a priori se basa en el hecho, ya señalado, del gran consumo de tiempo que conlleva su realización mediante software. Por lo tanto, la implementación mediante hardware específico contribuirá significativamente al incremento de la velocidad de generación de señales y la reducción del área final.

Metodología de Implementación

Los procesos de diseño de sistemas electrónicos requieren usualmente de una metodología que permita descomponer el problema global en diferentes etapas, así como el uso de herramientas de CAD (*Computer Aided Design*) que faciliten las tareas a realizar en cada de estas etapas⁶. En la figura 2 se muestran las diferentes etapas seguidas en la metodología para abordar la implementación de la Lógica de Control.

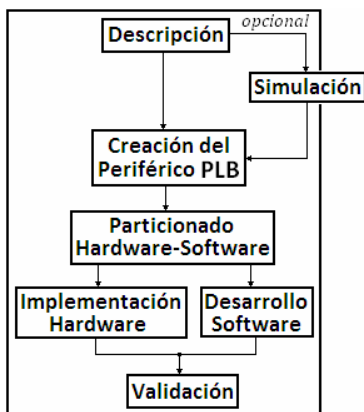


Figura 2. Metodología de implementación hardware-software.

Cada una de las etapas de la metodología de implementación anterior requiere el empleo de herramientas de diseño computacional. Las herramientas utilizadas son aquellas que se encuentran en el paquete informático *ISE Design Suite 10.1* de Xilinx.

Al hacer uso de todas estas herramientas, el objetivo final es obtener un Módulo de Propiedad Intelectual¹ (Módulo IP) que sea capaz de realizar las tareas de la Lógica de Control de un sistema ultrasónico Doppler pulsado. Este Módulo IP, estará,

¹Funciones muy complejas a nivel de sistema, previamente diseñadas y comprobadas. Constituyen descripciones software de componentes hardware que dan la posibilidad de realizar desarrollos propios. Son fácilmente adaptables a diferentes funcionalidades, así como a diferentes tecnologías de fabricación.

entonces, disponible para su uso en los sistemas de procesamiento de Xilinx.

La figura 3 muestra una estrategia de implementación híbrida hardware-software para un sistema encargado de la generación de señales, consistente en un particionado de las tareas del sistema. De acuerdo con esta estrategia, todas aquellas tareas que no requieren el uso de recursos específicos serán ejecutadas por un procesador de propósito general como sistema de procesamiento (*MicroBlaze*²). Entre tales tareas se encuentran la inicialización de los parámetros del sistema, la escritura en los registros de entrada, la lectura en los registros de salida, el ajuste de la información y la comunicación con el módulo que se encarga de generar las señales.

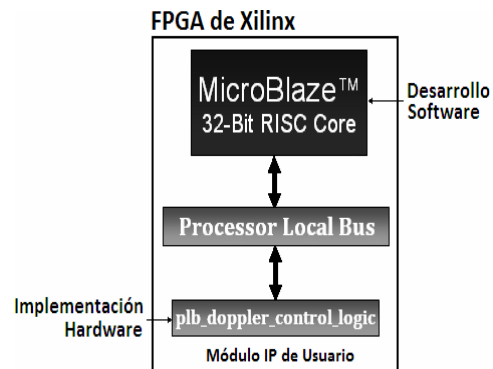


Figura 3. Estrategia de implementación hardware-software.

Por otra parte, las tareas relacionadas con la propia generación de señales, serán implementadas mediante un soporte hardware específico, y esto será más eficiente que su implementación en un procesador convencional. Esta eficiencia radica en dos aspectos fundamentales. El primero es que el procesador del sistema ya no estará a cargo de dicha generación por lo que podrá ser utilizado en otras tareas; y el segundo se debe a que como la generación de señales estará implementada sobre plataforma hardware, la velocidad se incrementará.

Diseño Jerárquico

El diagrama en bloques del diseño jerárquico de la Lógica de Control se muestra en la figura 4. En el nivel más alto de la jerarquía se encuentra el módulo *doppler_control_logic*. Como se puede observar, se ha dividido el diseño de esta unidad en cinco módulos para lograr una mejor descripción desde el punto de vista de lenguajes de descripción de hardware.

² Microprocesador embebido RISC de 32 bits y arquitectura Harvard, optimizado para la implementación sobre las FPGAs de Xilinx.

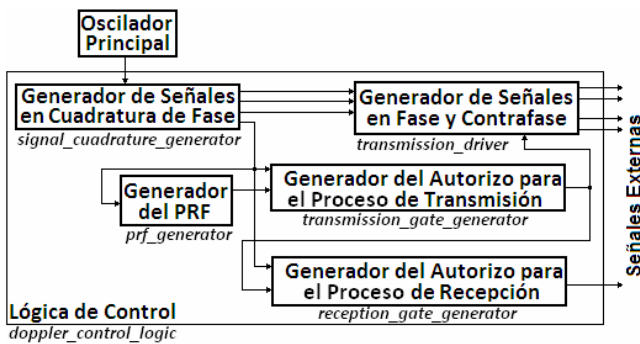


Figura 4. Diagrama de bloques del diseño jerárquico en VHDL.

Cada uno de estos módulos constituye la descripción del funcionamiento de un conjunto de circuitos integrados discretos y están desarrollados en VHDL (*Very High Speed Integrated Circuits Hardware Description Language*) y son, desde el punto de vista del lenguaje, componentes encerrados en el *top level*, teniendo cada uno de ellos una función determinada:

1. *generador de señales en cuadratura de fase*: divide la frecuencia de salida del oscilador principal para obtener dos parejas de señales desfasadas 90°. Una de estas parejas de señales (seno y coseno) son utilizadas como referencia para llevar a cabo el proceso analógico de demodulación y mezclado de señales.
2. *generador del PRF*: genera la frecuencia de repetición que permite gobernar el período en el que la señal ultrasónica será transmitida y el eco ultrasónico que retorna recibido. Además, impone la máxima frecuencia de corrimiento Doppler que es posible detectar.
3. *generador del autorizo para el proceso de transmisión*: genera y controla la duración del pulso o compuerta para la transmisión.
4. *generador de señales en fase y contrafase*: genera los *bursts* de transmisión en fase y contrafase. El número de pulsos dentro del *burst* está gobernado por la duración de la compuerta de autorizo para el proceso de transmisión.
5. *generador del autorizo para el proceso de recepción*: genera y controla la duración del pulso o compuerta para el proceso de recepción.

Principio de Funcionamiento. Características

La Lógica de Control que se implementa estará destinada a formar parte de un sistema ultrasónico que se utilizará para la medición y validación del flujo sanguíneo en implantes cardiovasculares. La disposición de los puertos de entrada-salida se muestra en la figura 5.

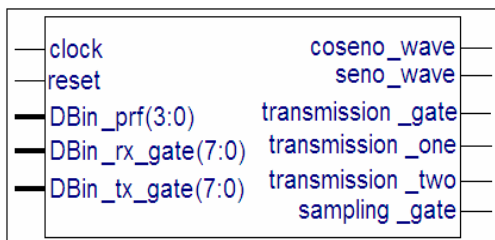


Figura 5. Puertos de entrada-salida.

El sistema opera cuando está presente una señal de reloj sobre el puerto de entrada *clock* y si *reset* está en nivel bajo. Un nivel alto en la señal de *reset* provoca una reinicialización del módulo cargando los registros internos con sus valores iniciales.

Las señales *seno_wave* y *coseno_wave* son utilizadas como señales de referencia para llevar a cabo el proceso de demodulación. Estas señales son generadas con una frecuencia dada por:

$$f = \frac{f_{osc}}{prescaler} \quad 1)$$

donde: *f* es la frecuencia de las señales seno y coseno, *f_{osc}* es la frecuencia del oscilador principal, *prescaler* es el divisor para la sincronización.

Las formas de onda asociadas a los puertos de salida *seno_wave* y *coseno_wave*, que se deben obtener son:

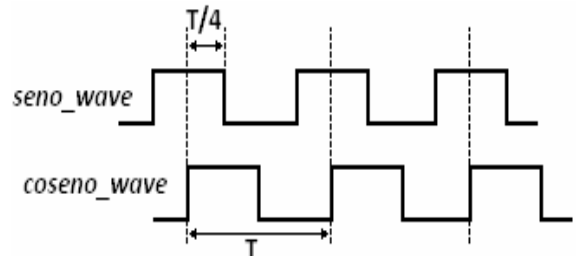


Figura 6. Señales esperadas por los terminales *seno_wave* y *coseno_wave*.

Las señales de salida que autorizan los procesos de transmisión (*transmission_gate*) y recepción (*reception_gate*) de ultrasonido deben poseer el siguiente aspecto de la figura 7; además la generación de la señal relacionada a la recepción debe comenzar inmediatamente después de finalizada la generación de la señal relacionada a la transmisión. Ambas señales deben tener la misma frecuencia (PRF) y pueden tener o no la misma duración. Esto último dependerá de la profundidad dentro de la anatomía humana de la estructura bajo estudio.

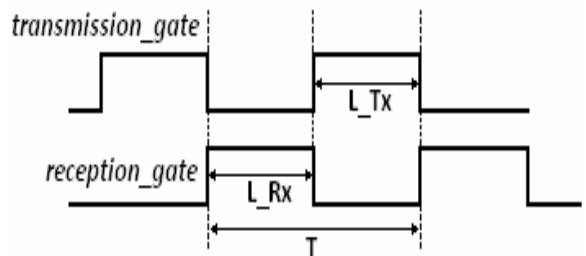


Figura 7. Señales esperadas por los terminales *transmission_gate* y *reception_gate*

La duración de la activación en la señal *transmission_gate* es configurable a través del puerto de entrada *DBin_tx_gate_gen*, mientras que la duración de la activación en la señal

reception_gate es configurable a través del puerto de entrada *DBin_rx_gate_gen*.

Las señales asociadas a los puertos de salida *transmission_one* y *transmission_two* representan los *bursts* de transmisión para el circuito transmisor. Estas señales se generan a la misma frecuencia (PRF) y deben contener el mismo número de pulsos (a la frecuencia del transductor). El número de pulsos en cada *bursts* es configurable a través del puerto de entrada *DBin_tx_gate_gen*. Estas señales deben tener el aspecto que se muestra en la figura 8.

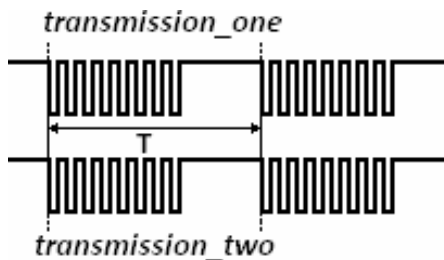


Figura 8. Señales esperadas por los terminales *transmission_one* y *transmission_two*.

Creación del Periférico PLB

Una vez obtenida la descripción en lenguaje VHDL del módulo *doppler_control_logic*, en este apartado se describe de manera muy general la tercera fase de la metodología de implementación mostrada en la figura 2.

El entorno de desarrollo para sistemas embebidos de Xilinx, EDK (*Embedded Development Kit*), engloba un conjunto de Módulos IP, compatibles con el estándar PLB (*Processor Local Bus*), que pueden ser parametrizados y disponen de *drivers* de software que facilitan su utilización. La interfaz gráfica de usuario XPS (*Xilinx Platform Studio*), de dicho entorno, proporciona una serie de plantillas que simplifican el desarrollo, por parte del usuario, de nuevos periféricos conectables al bus PLB. Estas plantillas consisten en código VHDL que incluyen dos componentes: IPIF (*Intellectual Property Interface*), que realiza las funciones de interfaz con el bus PLB; y el *user_logic*, que contiene la lógica desarrollada por el usuario. En este caso, este último fichero incluirá la descripción VHDL del módulo *doppler_control_logic* desarrollado, de sus componentes, más el código necesario para acceder a este a través de los registros del Módulo IP.

Teniendo como base la descripción del módulo *doppler_control_logic* y sus componentes en VHDL, y combinando las facilidades proporcionadas por las herramientas de EDK, el ciclo de diseño del periférico *plb_doppler_control_logic* como Módulo IP requiere recorrer básicamente los siguientes tres pasos: crear periférico, integrar la lógica de usuario e importar periférico.

Particionado Hardware-Software

Con el periférico *plb_doppler_control_logic* ya creado, es posible entonces desarrollar un sistema empotrado para validar su funcionamiento. Para esto se emplea el entorno EDK y sus herramientas para la generación de la plataforma hardware, de

la plataforma software, de compilación de bibliotecas, entre otras. Este entorno permite la realización de diseños basados en plataformas con altas prestaciones y completamente reconfigurables.

La implementación del embebido se realizará sobre la FPGA de Xilinx XC3S400FT256-4, utilizando la placa de desarrollo Spartan-3 *Starter Kit* y contará con el procesador MicroBlaze como sistema de procesamiento, un conjunto de periférico de propósito general y el periférico de usuario *plb_doppler_control_logic*, el cual es el encargado de realizar las funciones de la Lógica de Control de un sistema Doppler Pulsado. En la figura 9 se muestra la arquitectura interna de la FPGA, donde se pueden observar las conexiones entre los periféricos y la unidad central de procesamiento.

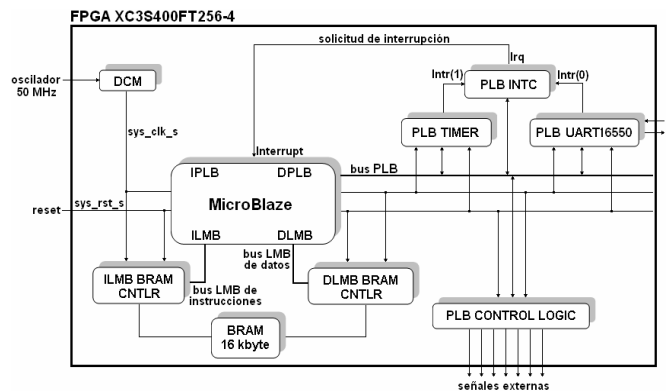


Figura 9. Arquitectura interna de la FPGA.

Una vez creada la plataforma hardware del sistema empotrado, se somete dicha plataforma a síntesis e implementación. Posteriormente se configura y genera la plataforma software. En esta etapa del flujo de diseño se seleccionan los *drivers* y se definen sus parámetros, se seleccionan las bibliotecas y el uso o no de sistema operativo, se definen los parámetros del procesador y se selecciona la entrada-salida estándar. En este caso no se definen los manejadores de interrupción (*handlers interrupt*) pues estas serán tratadas dinámicamente.

Un paso importante aquí es el desarrollo del software de la aplicación. Este paso constituye una de las etapas finales de la metodología. EDK proporciona una serie de paquetes de software que facilitan la codificación de las aplicaciones de usuario (*drivers* de periféricos, bibliotecas y sistema operativo). En el entorno de desarrollo EDK la entrada para el desarrollo de aplicaciones está constituida por el código fuente en cualquiera de los lenguajes de programación ANSI C, C++ o Ensamblador. El código fuente de la aplicación, en este caso (*fichero* «control_logic_test.c»), estará escrito en ANSI C.

El programa inicializa los periféricos del sistema, registra dinámicamente las interrupciones del Timer y del controlador UART16650 en la tabla de vectores del Controlador de Interrupciones y le asigna un manejador definido por el usuario.

En el programa se definen una serie de comandos, los cuales son enviados al procesador vía serie desde una computadora. Estos comandos tienen el objetivo de configurar el periférico de usuario *plb_doppler_control_logic* dinámicamente.

Para monitorear y controlar el envío de comandos al procesador del sistema empujado se habilitará una sesión en el Hyperterminal de Windows con los siguientes parámetros: 115200 bits/seg., 8 bits de datos, 1 bit de parada, sin paridad y sin control de flujo.

RESULTADOS

Aquí se culminará con la última etapa de la metodología de implementación de la figura 2.

Primeramente se muestra, en ambos canales del osciloscopio, la generación de las señales en cuadratura de fase por parte del periférico de usuario *plb_doppler_control_logic*. Cuando la FPGA se configura con el programa de aplicación y con una frecuencia del oscilador principal es de 50 MHz, las señales en cuadratura de fase *seno_wave* y *coseno_wave* se comenzarán a generar con una frecuencia de 12.5 MHz (*prescaler* = 4) acorde a la ecuación (1). Esto se muestra en la figura 10.

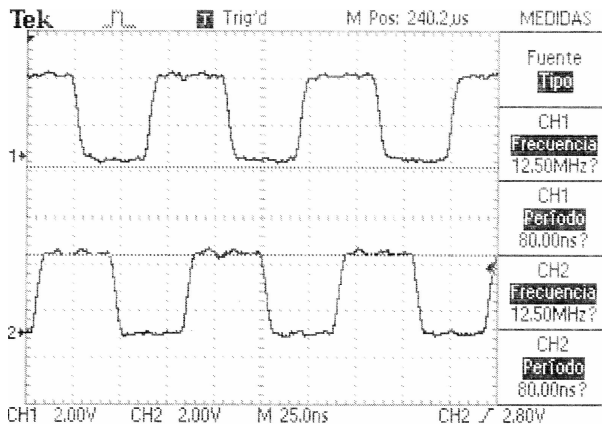


Figura 10. Señales en cuadratura de fase a 12.5 MHz.

Como segundo resultado se muestran las señales correspondientes para autorizar los procesos de transmisión (*transmission_gate*) y recepción (*reception_gate*) de ultrasonido. En el canal 1 (CH1) del osciloscopio se muestra la señal *transmission_gate* y en el canal 2 (CH 2) se muestra la señal *reception_gate*.

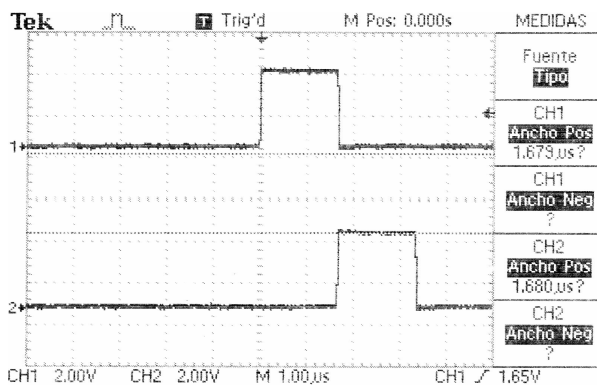


Figura 11. Señales *transmission_gate* y *sampling_gate*.

En la figura anterior se mostró la generación de las señales *transmission_gate* y *sampling_gate*, con una duración de 1.68 µs para ambos eventos.

En la figura 12 se muestra la generación de las mismas señales; en este caso, el proceso de transmisión durará 1.28 µs, mientras que el proceso de recepción durará 4.88 µs. La duración de ambos procesos puede variar en un amplio intervalo y dicha duración estará dada por las propias condiciones de medición como la profundidad dentro de la anatomía humana del objeto bajo estudio y las propias características del medio.

Esta variabilidad en la duración de los procesos de transmisión y recepción de ultrasonido es ajustable dinámicamente sin la necesidad de interrumpir el proceso de validación del implante quirúrgico.

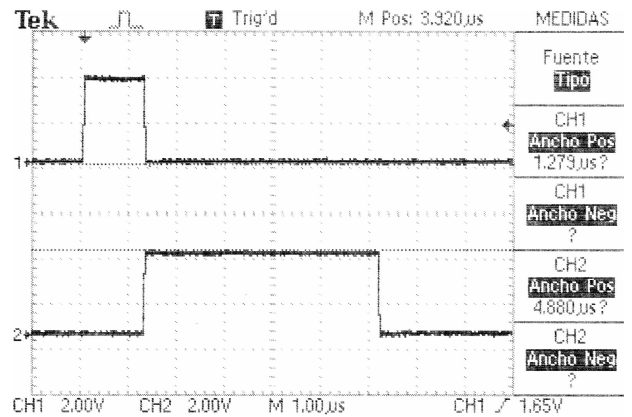


Figura 12. Señales *transmission_gate* y *sampling_gate* con duración diferente.

En la figura 13 se muestran los *bursts* de transmisión en la generación de las señales *transmission_one* y *transmission_two*. Cada uno de estos *bursts* posee, en este caso 10 pulsos. El número de pulsos puede ser modificado en un amplio intervalo (desde 1 hasta 255), lo cual fue logrado con comandos previamente declarados en el programa de la aplicación.

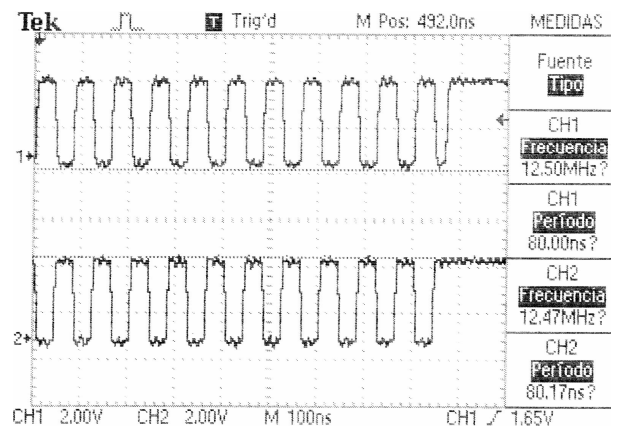


Figura 13. *Bursts* de transmisión de 10 pulsos.

Notar que la frecuencia a la que se transmiten los trenes de pulso dentro de cada *burst* se corresponde con la frecuencia de las señales *seno_wave* y *coseno_wave*, lo cual muestra el sincronismo.

En las figura 14 y 15 se muestran los *bursts* de transmisión en la generación de las señales *transmission_one* y *transmission_two* con 5 y 15 pulsos respectivamente.

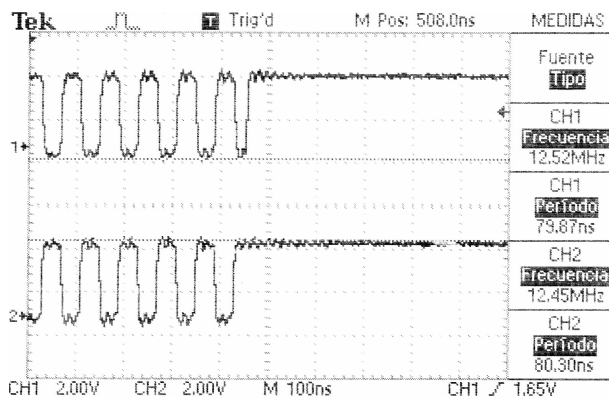


Figura 14. *Bursts* de transmisión de 5 pulsos.

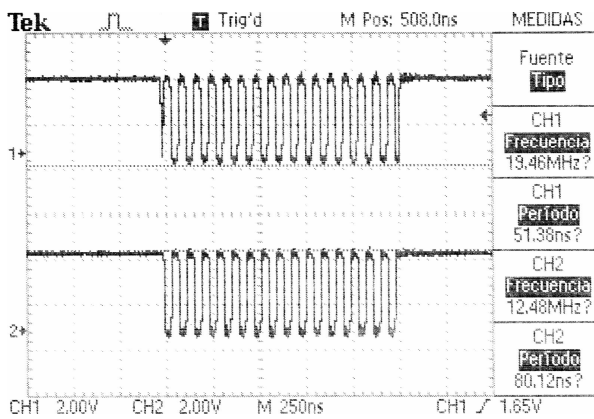


Figura 15. *Bursts* de transmisión de 15 pulsos.

CONCLUSIONES

En este trabajo se han utilizado técnicas avanzadas de diseño digital para implementar, en hardware reconfigurable, la Lógica de Control de un sistema ultrasónico Doppler Pulsado utilizado en la validación de implantes en los procedimientos de revascularización coronaria. Esto reporta enormes ventajas con respecto a la implementación convencional. Entre ellas: la reusabilidad (utilizar múltiples instancias del periférico sin replicación de código), reconfigurabilidad (configurar dinámicamente las prestaciones del periférico), reducción del área final del circuito impreso, su implementación no se verá afectada por la inherente obsolescencia de los circuitos integrados, reducción del tiempo de desarrollo y de puesta a punto, entre otras. Con esto se abre un nuevo frente para el diseño y desarrollo de instrumentación ultrasónica, constituyendo, de esta manera, una experiencia inédita en el país y en los grupos de trabajo e investigación que tratan los sistemas ultrasónicos.

Esencialmente se plantean las siguientes conclusiones, dando cumplimiento al objetivo planteado:

1. Se utilizó el lenguaje VHDL para describir el funcionamiento de la Lógica de Control, módulo *doppler_control_logic*.
2. Se obtuvo un Módulo de Propiedad Intelectual, *plb_doppler_control_logic*, para utilizarlo como periférico en los sistemas de procesamiento de Xilinx.
3. Se creó y configuró un sistema embebido, basado en Microblaze, donde se comprobó el correcto funcionamiento del periférico propuesto, realizando la implementación del sistema empotrado sobre la FPGA de placa de desarrollo Spartan-3 Starter Kit.

REFERENCIAS

1. **RENEMAN RS.** *Cardiovascular Applications of Multi-Gate Pulsed Doppler Systems.* Ultrasound Med Biol, (12), pp 357-370, 1986.
2. **ATKINSON P. Y WOODCOOK J.** *Doppler Ultrasound and its Use in Clinical Measurement.* Academic Press inc. Orlando, Florida: 1982. 105p. ISBN 0-12-066260-4
3. **EVANS DH Y MCDIKEN WN.** *Doppler Ultrasound: Physic, Instrumentation and Signal Processing.* John Wiley & Sons Ltd. 2nd edition. Chichester, England: 2000. 427p. ISBN 0-471-97001-8.
4. **GORDON K.** *Acoustic Waves. Devices, Imaging and Analog Signal Processing.* Prentice Hall, Inc., New Jersey, USA: 2000. 538p. ISBN 0-13-003047-3.
5. **AYDIN N Y EVANS DH.** *Implementation of Directional Doppler Techniques Using a Digital Signal Processor.* Med Biol Eng Comput, (32), pp 157-164, 1994.
6. **CABRERA A.** *Codiseño Hardware-Software de Controladores Difuso.* Febrero 2003: 9p.

AUTORES

Didier Torres Guzmán, Ingeniero en Automática, Máster en Ciencias Técnicas, Instructor, Departamento de Física Aplicada del Instituto de Cibernética, Matemática y Física, Calle 15 N° 551 e/ C y D, CP 10400, 832-0771, didier@icmf.inf.cu.

Antonio Jiménez Cañas, Ingeniero en Telecomunicaciones, Máster en Ciencias Técnicas, Investigador Agregado, Departamento de Física Aplicada del Instituto de Cibernética, Matemática y Física, Calle 15 N° 551 e/ C y D, CP 10400, 832-0771, antonio@icmf.inf.cu.

