

SISTEMA INFORMÁTICO DE APOYO A LAS DIDÁCTICAS DE VIRTUALIZACIÓN EN SISTEMAS DIGITALES

Informatics system to support the teaching of virtualization in digital systems

RESUMEN

En este artículo se presenta una herramienta de apoyo a las didácticas de virtualización en Sistemas Electrónicos Digitales, particularmente se ha desarrollado una aplicación Web que brinda al usuario la posibilidad de ingresar a un entorno donde podrá interactuar con diferentes herramientas que permiten configurar el FPGA (*Field Programmable Gate Array*) de una tarjeta de desarrollo DE2-70 Cyclone II de Altera y de esta manera realizar prácticas de laboratorio en forma remota con circuitos digitales. La aplicación desarrollada permitirá la utilización de tecnologías de virtualización en la práctica docente.

PALABRAS CLAVES: FPGA, Laboratorio Remoto, Sistema Informático, Sistemas Digitales, Virtualización.

ABSTRACT

This paper presents a tool to support the teaching of virtualization in Digital Electronic Systems, in particular has developed a Web application that gives the user the possibility to enter an environment where you can interact with different tools to configure the FPGA (Field Programmable Gate Array) from a DE2 development board-70 Altera Cyclone II and thus perform labs remotely with digital circuits. Application developed allows the use of virtualization technologies in the teaching practice.

KEYWORDS: *Digital Systems, FPGA, Remote Lab, Informatics System, Virtualization.*

1. INTRODUCCIÓN

En la práctica de laboratorio el proceso de enseñanza y aprendizaje puede verse afectado por diversos factores, tales como, gran número estudiantes, pocos equipos, insuficiente espacio físico, entre otros inconvenientes que condicionan dichas prácticas e impiden que todos los alumnos tengan acceso a los laboratorios y a sus recursos. Por esta razón los laboratorios físicos no siempre estarán disponibles para realizar las prácticas y no todos los alumnos podrán tener acceso a sus recursos las veces que sean necesarias y en los momentos oportunos, lo cual interfiere en los proyectos que se encuentren desarrollando y en sus resultados.

Existen varios proyectos de investigación que plantean la implementación del modelo cliente/servidor para la experimentación remota con tarjetas reconfigurables FPGA como [1], [2], [3], en el caso de [1], el cual es desarrollado para los cursos de diseño digital avanzado y procesamiento de señal. Se utiliza un analizador lógico de 16 canales y un generador de estímulos de 16 canales con señales de entrada de frecuencia máxima de 25 MHz. Para la implementación del sistema digital se utiliza un FPGA Xilinx Spartan XC2S200. La conexión del analizador y del generador de estímulos a los pines del

NATHAN ZUÑIGA PEREA

Estudiante Ingeniería Electrónica
Universidad del Quindío
nathan@uniquindio.edu.co

ALEXANDER LOPEZ PARRADO

Ingeniero Electrónico, M. Sc.
Profesor Auxiliar
Universidad del Quindío
parrado@uniquindio.edu.co

ALEXANDER VERA TASAMA

Ingeniero Electrónico, Esp.
Profesor Asistente
Universidad del Quindío
avera@uniquindio.edu.co

FPGA se realiza mediante un subsistema de interconexión que es controlado directamente por el usuario a través de una página WEB.

Otro sistema que maneja el modelo cliente/servidor es el desarrollado por [2], el cual es utilizado para la asignatura de sistemas electrónicos digitales. Permitiendo al estudiante realizar sus prácticas de laboratorio remotamente sin estar sujeto a un horario. Éste utiliza una tarjeta de desarrollo XSA-50 con un FPGA de Xilinx XC2S50, una cámara WEB que deja ver al estudiante en un monitor VGA, la información suministrada por el display de 7 segmentos que tiene la tarjeta de desarrollo.

En este trabajo se presenta el desarrollo de un sistema de laboratorio basado en WEB, orientado a fortalecer los procesos de enseñanza/aprendizaje en el área de sistemas digitales, como recurso esencial en las didácticas orientadas a la experimentación en ingeniería. El sistema está compuesto de varios subsistemas software y una componente hardware que es la tarjeta de desarrollo DE2-70 basada en FPGA Cyclone II de Altera, la cual está conectada al computador mediante puerto USB. El usuario tiene la posibilidad de subir sus proyectos al servidor a través de una interfaz Web amigable para realizar tareas como compilar, programar y depurar sus

diseños en tiempo real y en forma remota, devolviendo los resultados correspondientes al diseño que éste ha realizado, además el usuario puede descargar las prácticas de laboratorio que el docente ha subido al servidor a través del sistema, también el docente puede ver la estadística de los estudiantes que ingresan al laboratorio y así llevar un control sobre quienes ingresan o no al laboratorio.

A diferencia del trabajo realizado por [1], este proyecto utiliza las herramientas de depuración que posee QUARTUS II de Altera, para la manipulación y gestión del FPGA, disminuyendo así costos por adquisición de equipos externos. El sistema desarrollado por [2], maneja un control de horario diferente al sistema informático, el cual constituye una ventaja frente al sistema, ya que puede permitir el ingreso al laboratorio a cualquier hora sin necesidad de separar una cita para el uso del recurso.

Este artículo está organizado en cuatro secciones: en la sección 2 se describe la arquitectura general del sistema informático, en la sección 3, se muestran algunos resultados de la implementación del sistema informático y por último, en la sección 4, se presentan las conclusiones.

2. ARQUITECTURA DEL SISTEMA INFORMÁTICO

Teniendo en cuenta que se trata de un sistema informático, definido como un conjunto de partes que funcionan relacionándose entre sí con un objetivo preciso, este se constituye básicamente por un componente hardware, y un componente software con cinco subsistemas, como se muestra en la figura 1.

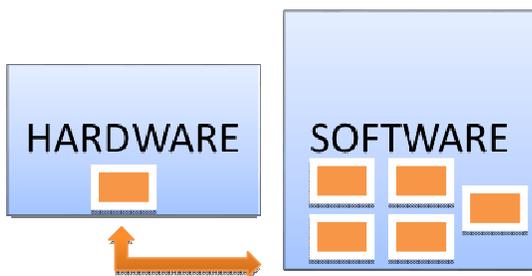


Figura 1. Esquema General del Sistema Informático.

La componente hardware que se utiliza es una tarjeta de desarrollo de ALTERA llamada DE2-70, como se muestra en la figura 2. La tarjeta es basada en un FPGA de la familia Cyclone II de Altera, sobre este FPGA el estudiante descargará el resultado de la etapa de síntesis del diseño que ha desarrollado, la conexión de la tarjeta

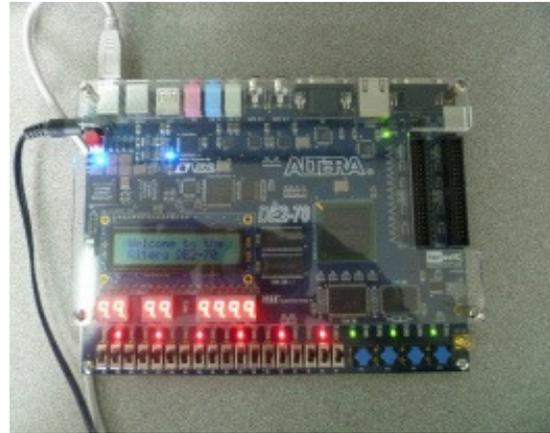


Figura 2. Tarjeta de desarrollo CYCLONE II DE2-70

al servidor es mediante el puerto USB, permitiendo así la comunicación bidireccional con el sistema y la interacción con el usuario. Esta tarjeta de desarrollo es controlada mediante una serie de páginas web dinámicas que dan al usuario la posibilidad de compilar, programar y depurar los diseños lógicos que los usuarios suben al sistema informático.

La componente software que se utiliza en este sistema informático está dividida en varios subsistemas y está desarrollada con diferentes lenguajes de programación tales como PHP, HTML y TCL. La figura 3, muestra la interrelación de los subsistemas de la componente software del sistema informático.

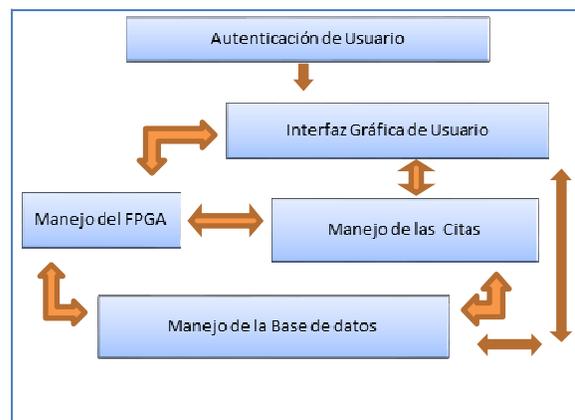


Figura 3. Interrelación de subsistemas de la componente software del sistema informático.

1) Interfaz Gráfica de Usuario.

La interfaz gráfica de usuario está diseñada en lenguaje PHP y HTML, la cual contiene un menú de opciones situado al margen izquierdo de la pantalla. Esto permite al usuario ingresar a los diferentes enlaces de las páginas del sistema y así realizar las tareas necesarias, tales como:

- El manejo del FPGA, ingresando a las opciones de compilar, programar o depurar.
- El manejo de usuarios y la base de datos, ingresando información necesaria por medio de formularios tales como nombre de usuario, contraseña, cédula y demás que van a servir para identificar al usuario dentro del sistema.

En todo caso esta interfaz es lo más intuitiva posible para ofrecer una experiencia satisfactoria a los usuarios que utilicen el servicio de laboratorio remoto a través del sistema informático.

2) Autenticación de Usuario.

El tipo de autenticación que utiliza el sistema informático es la autenticación basada en formularios, la cual consiste en diseñar en el lado del servidor una página de autenticación y una página que indique error si lo hubiere. Los pasos que son utilizados para la autenticación de un usuario que solicita una determinada información se muestran en la figura 4.

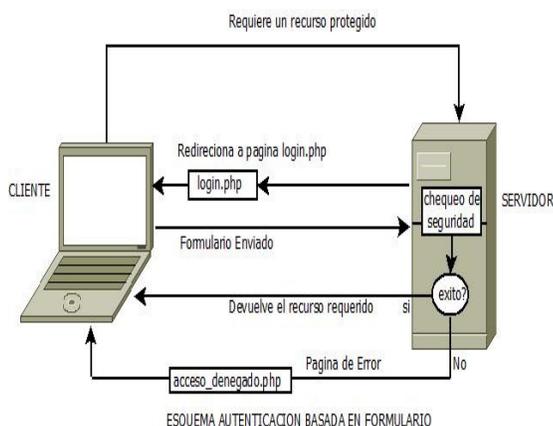


Figura 4. Esquema de autenticación basada en formulario.

Para poder identificar al usuario, resulta necesario utilizar un mecanismo de reconocimiento. El sistema más común y generalizado es el uso de un nombre de usuario y una contraseña. Este mecanismo es realizado en una página PHP en el servidor WEB Apache [4]. Ambos campos de información devueltos por el formulario en la página realizada, son almacenados en una base de datos protegida y segura del sistema de gestión y administración de la base de datos MySQL. [5]

4) Manejo de Citas.

Para el control de citas de usuarios se utiliza un calendario mensual, el cual va a permitir al docente-administrador escoger el día y hora para reservar la cita correspondiente. El calendario muestra la semana activa con los días sábado y domingo de color amarillo para diferenciarlos de los demás días de la semana. El número

que indica el día es un vínculo que permite abrir una ventana del navegador para solicitar la cita correspondiente al usuario. En esta página, el docente-administrador ingresa algunos datos relacionados con la cita tales como:

- El nombre de la cita.
- El curso al cual pertenece el estudiante.
- La lista de estudiantes que existen en la base de datos.
- Fecha y hora a la cual el docente administrador le asigna al estudiante el espacio para el uso del FPGA.

El usuario al tener la cita asignada podrá acceder a la página de programación del FPGA a la fecha y hora que le fue establecida, pudiendo así tener control sobre la programación del FPGA y depuración del diseño que ha desarrollado.

3) Manejo de la Base de Datos.

Para el diseño de la base de datos del sistema informático que guarda información de estudiantes y docentes, se tiene en cuenta los requerimientos funcionales [6], que consisten en operaciones que se aplican a la base de datos e incluyen la obtención de datos y la actualización de estos, las cuales son:

- Ingresar.
- Buscar.
- Borrar.
- Editar.
- Crear citas.

Con estos requerimientos, se crea un esquema conceptual para la base de datos a través de un modelo de datos de alto nivel, mostrando una descripción detallada de los requerimientos de información que se necesita para el sistema informático, el cual contiene los tipos de datos, relaciones entre ellos y restricciones. El modelo que se utiliza es el modelo de esquemas conceptuales E-R (entidad-relación) [6], que describe datos como entidades, vínculos (relaciones) y atributos.

5) Manejo del FPGA.

El manejo del FPGA se subdivide en tres categorías:

- Compilar.
- Programar.
- Depurador lógico.

Estas categorías son de gran importancia ya que

intervienen directamente con la tarjeta de desarrollo DE2-70 y el FPGA, estas permiten que el estudiante o administrador compruebe sus prácticas de sistemas digitales en el FPGA de forma remota.

6) Compilar.

Para que el sistema informático pueda compilar un diseño, se recurre al lenguaje de programación TCL de QUARTUS II [7]. Este proporciona los comandos y rutinas necesarias para realizar una compilación completa, revisando la sintaxis del diseño del usuario y generando los diferentes tipos de archivos necesarios para programar y depurar el diseño lógico realizado en el FPGA. Uno de los archivos más importantes generados por la compilación es el archivo SOF (SRAM Object File), el cual va a contener la lista de conexiones hardware del estudiante. Este archivo se utiliza para programar el FPGA y realizar posteriormente la depuración.

7) Programar.

Al ingresar al vínculo programar, el sistema verifica en la base de datos si el usuario tiene asignada una cita a la hora correspondiente, para ello se establece inicialmente la zona horaria predeterminada mediante una función en lenguaje PHP, se conecta a la base de datos para hacer la consulta a la tabla fechas y se restringe la búsqueda en la tabla a aquellas fechas que coincida solamente con la fecha y la hora actual, si el dato de cita guardada en la tabla corresponde con la fecha y hora actual se procede a conceder el acceso al recurso FPGA y sino corresponde entonces se le niega el acceso al recurso FPGA, indicándole que no tiene asignada la cita y que debe consultar al docente para que se le asigne una cita y así pueda trabajar con el recurso FPGA.

Cabe anotar que el sistema debe realizar una serie de chequeos para determinar si existen problemas de comunicación u otros inconvenientes con la tarjeta de desarrollo antes de permitir al usuario continuar con la programación del FPGA. Para esto se realiza una serie de verificaciones con el fin de determinar el tipo de error y así inhabilitar el botón de “Programar” e informar al usuario de lo que está ocurriendo con la tarjeta de desarrollo. En el caso de que todo se encuentre bien, que haya una conexión exitosa y no se presente ningún inconveniente con ésta, el botón de “Programar” se debe habilitar y permitir que el usuario programe el FPGA con el archivo SOF correspondiente e indicándole que la programación se realizó con éxito.

8) Depurador Lógico.

A través de esta herramienta es posible depurar cualquier diseño lógico, ya que esta interpreta el diseño como un bloque funcional que contiene solo entradas y salidas sin alterar su arquitectura interna. Esto con el fin de realizar a cabo todas las operaciones necesarias de conexión y depuración, y así mostrar un resultado al usuario.

Para realizar las tareas necesarias a la depuración lógica, el sistema toma la entidad de nivel alto del diseño del usuario, en la cual el sistema identifica los diferentes nodos que tiene la entidad tales como nodos de entrada, nodos de salida, nodos asignados al reloj, entre otros.

Con estos nodos identificados el sistema le da la posibilidad al usuario de escoger los nodos de entrada o salida que desea conectar y estimular para ver su comportamiento.

Los nodos que utilice el usuario para manejar el reloj y para manejar el *reset*, se deben de tratar de forma que el usuario no manipule la entrada de estos como si fuese una entrada de datos convencional, ya que estos están conectados a fuentes válidas en la tarjeta de desarrollo DE2-70.

La generación de estímulos y captura de señales de salida se realiza mediante la mega función `ALTSOURCE_PROBE` que tiene QUARTUS II. [7]. La mega función dispone de los puertos *source* y *probe*, los cuales permiten hasta un tamaño de 256 bits y se pueden instanciar hasta 128 veces en el diseño. En la Figura 5, se muestra el diagrama esquemático de la conexión interna de la mega función `ALTSOURCE_PROBE`.

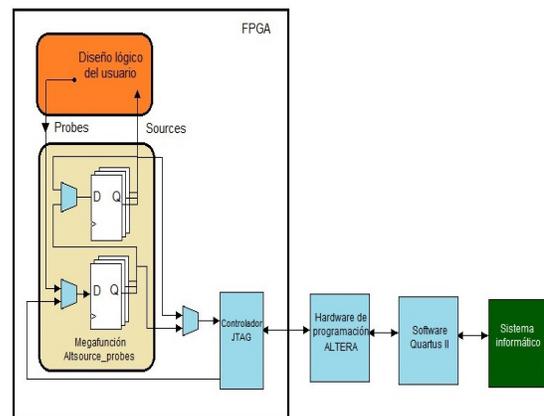


Figura 5. Conexión interna InSystem and Probe de ALTERA.

Para lograr la generación y captura de estímulos se crea un archivo desde el sistema informático en lenguaje TCL y PHP, el cual va a permitir instanciar todos los componentes creados con la mega función y conectarlos a las entradas y salidas del diseño del usuario, logrando

así escribir y leer datos de forma remota desde y hacia el FPGA. Los resultados son mostrados al usuario en forma gráfica para un mayor entendimiento por parte de éste.

3. RESULTADOS

Para realizar las pruebas necesarias al sistema informático, se utiliza un computador con las siguientes características:

- Sistema operativo Windows 7 64 bits.
- Procesador Intel Core i7 Q720 @ 1.60Ghz.
- Memoria RAM instalada 6 GB.
- Servidor Apache.
- Sistema de gestión de bases de datos MySQL.

Al sistema se le realizaron pruebas tendientes a establecer cuál era el rendimiento del equipo que se está usando como servidor y el tiempo de respuesta a cada uno de los usuarios conectados a él a través de internet, para ello se utilizó un *gadget* para Windows 7 llamado *All CPU Meter*, que muestra el rendimiento del equipo y el uso de la CPU cuando está desarrollando determinada tarea. La figura 6, muestra el uso de la CPU y de memoria cuando hay ocho usuarios realizando una compilación al diseño lógico de una (ALU) de cuatro bits.

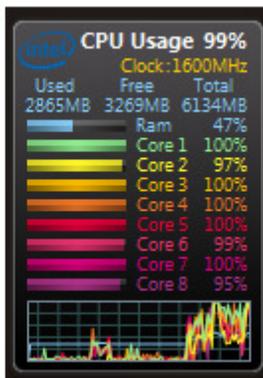


Figura 6. Porcentaje de uso de la CPU con 8 usuarios conectados

Aunque se ve un gran uso de la CPU, el tiempo máximo de compilación del diseño de la ALU de cuatro bits para cada uno de los usuarios fue de 24 segundos y quedó en evidencia el uso necesario de un computador con buenas características para obtener un buen rendimiento del sistema informático en beneficio de los usuarios.

Para poder ingresar al sistema el usuario debe identificarse, ingresando el nombre de usuario y contraseña que el docente-administrador le ha suministrado con anterioridad. Si la identificación del usuario no es correcta aparece un mensaje en la página

negando el acceso y retornándolo a la página inicial, donde debe ingresar nuevamente el nombre de usuario y la contraseña para poder ingresar al sistema.

Por el contrario si la identificación es correcta, el usuario tiene la posibilidad de programar el FPGA y utilizar las demás opciones que tiene el sistema informático, como lo muestra la Figura 7.

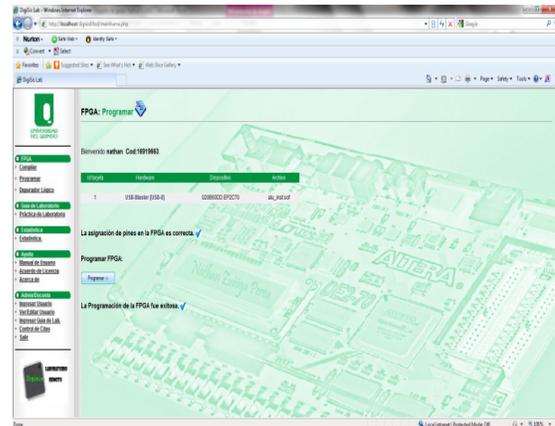


Figura 7. Programación del FPGA.

La Figura 8, muestra la página que permite la depuración lógica en el sistema informático, con formularios de entrada y la gráfica de los niveles lógicos. El resultado de la prueba fue realizada al diseño de una unidad aritmético lógica (ALU) de cuatro bits.

El usuario puede seleccionar los nodos de entrada y salida que desea conectar para hacer la depuración, estableciendo la conexión y la comunicación con el FPGA para estimular el diseño del usuario y así recibir los resultados de los niveles lógicos que serán mostrados en un gráfico para una mejor apreciación por parte del usuario.

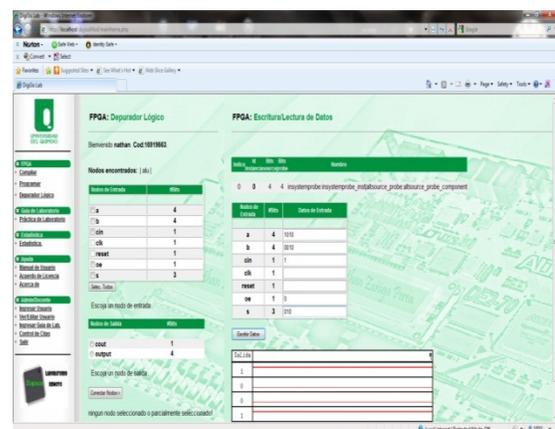


Figura 8. Resultado de una depuración lógica ALU de cuatro bits.

La Figura 9 muestra la página de asignación de citas por parte del administrador-docente a un usuario del laboratorio. En esta, se observa la forma en la cual el docente debe darle nombre a la cita, escoger el curso, asignar la fecha y la hora de la cita a un usuario que ya está registrado en la base de datos. Para lograr la asignación de la cita debe presionar el botón de “Añadir Cita”.

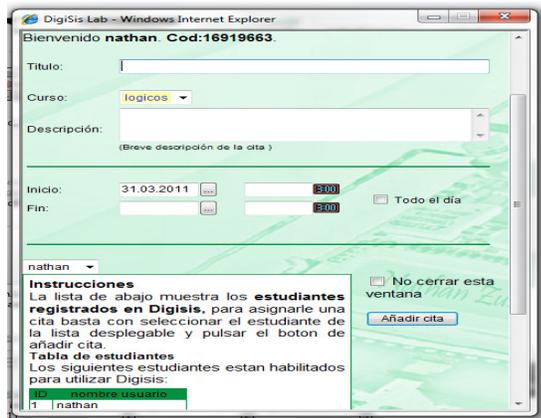


Figura 9. Asignación de Citas en el sistema Informático.

Aunque el sistema es funcional, actualmente se encuentra en proceso de depuración, optimización y creación del módulo compatible con el analizador lógico interno SignalTap de Altera [7]. A la fecha de escritura de este artículo, se está buscando integrar el sistema informático con el sistema de gestión de contenidos Joomla [8], el cual ofrece modularidad, usabilidad y seguridad, ya que brinda la posibilidad al usuario de acceder a foros y poder discutir los diferentes temas o inconvenientes que se den en el sistema, además permite un mejor manejo del perfil del usuario, entre otras características, convirtiendo al sistema en un completo laboratorio remoto de apoyo a las didácticas de virtualización en sistemas digitales.

4. CONCLUSIONES

- ✓ Se presenta una nueva herramienta para la enseñanza y aprendizaje virtual de los sistemas digitales que permite motivar al estudiante a realizar sus prácticas de laboratorio de una manera fácil y sencilla.
- ✓ El sistema desarrollado permite relacionar las nuevas tecnologías tales como el hardware reconfigurable y el uso de la web como una herramienta pedagógica para el docente en beneficio de los estudiantes.
- ✓ El sistema desarrollado permite ubicar a la educación en nuevos ambientes de aprendizaje, los cuales se convierten en apoyo didáctico de gran valor, ya que transforman el modelo de enseñanza presencial

tradicional y permiten el uso de las nuevas tecnologías para dinamizar el proceso de aprendizaje sin abandonar las prácticas de laboratorio necesarias en la enseñanza de la ingeniería.

- ✓ El usuario podrá interactuar con un sistema que le permite centrarse en su diseño y no en las conexiones que debe realizar para poder utilizar las herramientas de depuración, ya que el sistema realiza este tipo de conexiones de manera tal que sea transparente al usuario.
- ✓ El usuario ya sea estudiante o docente podrá utilizar el sistema informático para depurar sus diseños lógicos en forma remota a través de internet o intranet

5. BIBLIOGRAFÍA

- [1] J. Pájaro, C. Torres, R. Nieto, E. Duque, A. Bernal, J. E. Aedo, “Desarrollo de un sistema para el prototipaje en forma remota de sistemas digitales basados en FPGAs usando Internet”. *CINTEL, COLCIENCIAS*, 2003, pp. 386-392.
- [2] Olivares, J., Merino, A., Palomares J. M., Montijano M. A. “Laboratorio virtual para la programación de FPGAs”. VII Simposio Internacional de Informática Educativa-SIIE 2005.
- [3] Miloš Drutarovský, Ján Šaliga, Linus Michaeli, Ingrid Hroncová “Remote laboratory for FPGA based reconfigurable systems testing”. *XIX IMEKO World Congress Fundamental and Applied Metrology*, pp. 54-58.
- [4] Apache HTTP Server Documentation: Authentication, Authorization and Access Control [Online]. Available: <http://httpd.apache.org/docs/trunk/howto/auth.html>
- [5] MySQL Documentation: MySQL Reference Manuals [Online]. Available: <http://www.mysql.com/>
- [6] Modelado conceptual de bases de datos relacionales: El modelo E/R [Online]. Available: <http://elies.rediris.es/elies9/5-1.htm>
- [7] ALTERA CORPORATION. Quartus II Handbook Version 9.1 Volume 3 [Online]. Available: <http://www.altera.com/literature/lit-an.jsp>
- [8] Documentación: Manual de usuario [Online]. Available: <http://www.joomlaspanish.org/>