



## Estimación de la característica de Inductancia de fase del Motor de Reluctancia Conmutada MFR 132.1

### *Estimation of phase inductance profile of MFR 132.1 switched reluctance motor*

Javier Quintana - Santos  
Javier Muñoz – Álvarez  
Mario Morera – Hernández

Recibido: Octubre del 2010  
Aprobado: Noviembre del 2010

#### Resumen/ Abstract

En el presente trabajo se enuncia la idea fundamental en la que se basan todos los métodos empleados para la estimación de los parámetros de fase de los motores de reluctancia conmutada. Se describe, además, un algoritmo de división con punto decimal fijo en lenguaje VHDL. El algoritmo descrito se utiliza posteriormente para la estimación de la inductancia de fase del motor de reluctancia conmutada MFR 132.1, mediante el empleo de la técnica invasiva de modulación de amplitud con señales de tensión pulsantes de tres estados. Se diseñó y construyó una instalación experimental sobre la base de un FPGA de Actel, de la familia ProASIC 3 modelo A3P250, para el procesamiento de las señales. Finalmente se exponen y comentan las características de inductancia de fase del motor de reluctancia MFR 132.1, obtenidas.

**Palabras clave:** estimación, motor de reluctancia conmutada, FPGA, lenguaje de programación VHDL, características de Inductancia de Fase.

*In the present work is enunciated the fundamental idea of all the methods used for the estimation of phase parameters in the switched reluctance motors. The fixed point division algorithm employed to estimate the inactive phase inductance profile of the MFR 132.1 switched reluctance motor, is described in VHDL programming language. The algorithm implements the intrusive estimation technique of amplitude modulation with three states pulsating signals. The structure of the experimental set up for the digital signal processing, which is based on the Actel FPGA ProASIC 3 A3P250 development kit, is depicted. Finally, the inactive phase's inductance profiles, which were experimentally obtained, are shown for different voltage values in the Direct Current converter link.*

**Keywords:** estimation, switched reluctance motor, FPGA, VHDL Programming Language, Phase Inductance Profile.

#### INTRODUCCIÓN

Los accionamientos eléctricos de motores de reluctancia conmutada han ido ganando espacio en el mercado mundial. Diversas variantes de accionamientos de motores de reluctancia conmutada se fabrican en la actualidad, para ser empleados en muchos mecanismos industriales, de transporte, doméstico, médicos y hospitalarios, entre otros. Se han realizado numerosas investigaciones que comparan a los accionamientos eléctricos de motores de reluctancia conmutada con los de inducción, quedando los primeros como alternativa con evidentes ventajas en la mayoría de los casos. Entre estas ventajas se citan con más frecuencia la de mayor robustez, confiabilidad,

capacidad de sobrecarga, tolerancia a fallos y mayor eficiencia energética. Se plantea además que los procesos de producción son menos costosos y más simples, en el caso de los accionamientos de motores de reluctancia. [1-2].

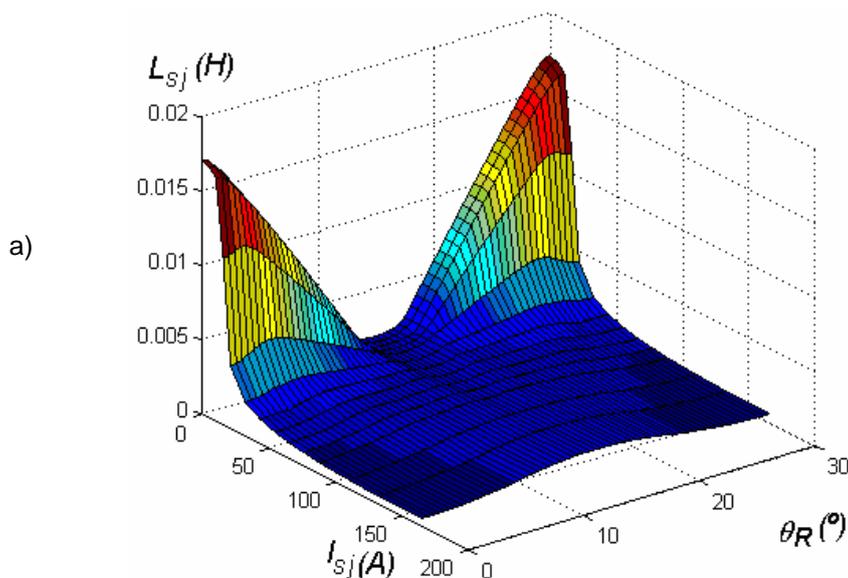
Se reconoce en la literatura especializada, sin embargo, un aspecto de singular importancia que constituye la principal desventaja que presentan los accionamientos de motores de reluctancia: para poder conmutar adecuadamente las fases y controlar eficazmente el momento electromagnético, se requiere conocer la posición del rotor en operación. Esto se resuelve en muchos casos empleando sensores de posición, lo que incrementa considerablemente el costo final de la instalación, la hace más compleja, susceptible a fallos y reduce sus posibilidades de trabajo en entornos agresivos. La obtención e implementación de Estimadores de la Posición del Rotor (EPR) que hagan factible la eliminación del sensor, es un tema de investigación actual con amplia presencia en las publicaciones científicas de mayor impacto. La idea fundamental en todas las técnicas propuestas hasta la fecha parte del hecho de que la constante temporal mecánica del motor de reluctancia conmutada (MRC) es mucho mayor que la mayor constante eléctrica en el sistema. Gracias a esto es posible extraer la información de posición que existe codificada en la forma de las concatenaciones de flujo del motor, la fem de rotación y la inductancia de fase. [1]

Un proceder bastante generalizado tiene como punto de partida la resolución de la ecuación general de tensiones de fase [1], tal y como aparece reflejada en la expresión (1).

$$u = R \cdot i + L \cdot \frac{\partial i}{\partial t} + \frac{\partial \psi}{\partial \theta} \cdot \omega \quad (1)$$

En esta expresión  $u$  es la tensión aplicada a la fase,  $i$  la corriente,  $R$  y  $L$  la resistencia e inductancia de fase,  $\psi$  es el flujo debido a  $i$ ,  $\theta$  es la posición del rotor y  $t$  es el tiempo.

Tomando como datos de entrada a las variables eléctricas del estator, ya sea en una fase activa o en una inactiva, se determina en tiempo real el valor instantáneo de alguna de las características de fase (flujo, inductancia, fem de rotación). El valor calculado y la corriente medida en el instante, sirven de variables de entrada al modelo tridimensional del que se obtiene la posición del rotor. En la figura 1 a) se muestra el modelo tridimensional de la inductancia de fase del MRC MFR 132.1 [1], [3], que es en el que se basa este trabajo. En la figura 1 b) el comportamiento del mismo modelo en dos dimensiones, para varios valores discretos de corrientes de fase, en función de la posición del rotor. En la tabla 1. se recogen los parámetros más importantes del MRC MFR 132.1 [1].



b)

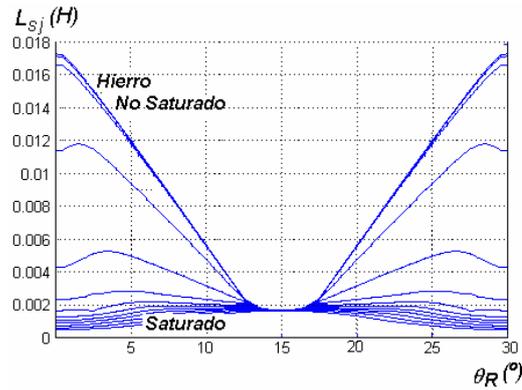


Fig. 1. Inductancia del estator por fase en el MRC MFR 132.1 obtenidas a partir de las curvas de concatenaciones de flujo suministradas por los diseñadores.

Tabla1. Parámetros del motor de reluctancia conmutada MFR 132.1, Elbtalwerk Heidenau GMBH.	
Parámetros.	Valores.
Número de fases.	4
Número de polos del estator.	16
Número de polos del rotor.	12
Potencia nominal (kW).	9
Resistencia de fase (Ω).	0,248
Velocidad nominal (rpm).	1500
Velocidad máxima (rpm).	6000

**OBTENCIÓN DE LA INDUCTANCIA DE FASE A PARTIR DE LA TÉCNICA INVASIVA DE AMPLITUD MODULADA CON SEÑALES DE TENSIÓN PULSANTES.**

Existen dos métodos para obtener los valores en tiempo real de las características de inductancia de fase de los MRC [4]. Los mismos son los que se enumeran a continuación:

1. Método No Invasivo: Se basan en el monitoreo en tiempo real del comportamiento de las señales eléctricas de cada fase activa. Se emplea fundamentalmente a velocidades cercanas a la nominal del MRC, ligeramente inferiores o superiores.
2. Método Invasivo: Consiste en la inyección de breves y pequeñas señales conocidas en las fases inactivas del motor. Se emplea fundamentalmente a bajas velocidades del rotor lo que permite desprestigiar el comportamiento de la fem de rotación en la fase, y simplificar la ecuación de tensiones de fase según la expresión (2).

$$u = R \cdot i + L \cdot \frac{\partial i}{\partial t} \quad (2)$$

Específicamente en el caso del Método Invasivo existe una condición adicional que consiste en inyectar señales en las fases inactivas, que no distorsionen el comportamiento instantáneo del momento electromagnético del MRC. Deben ser pequeñas dichas señales, razón por la cual el núcleo ferromagnético del motor no se satura, y el comportamiento de la inductancia de la fase de estimación solo depende de los cambios que ocurren en la posición del rotor. En la figura 2 se muestra el comportamiento de las inductancias de las fases del MRC MFR 132.1 en función de la posición del rotor, cuando el núcleo no se satura [1].

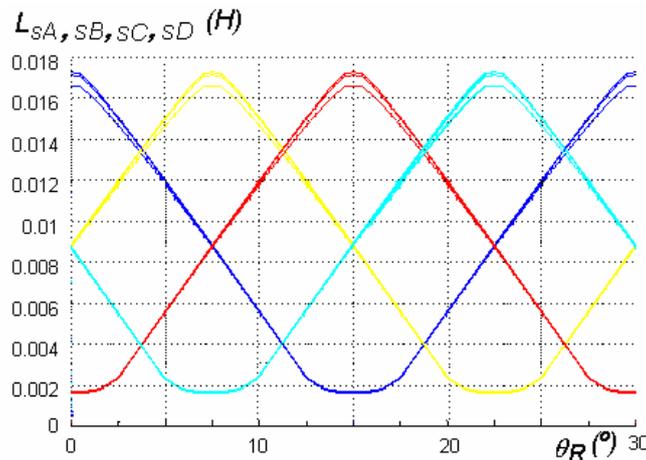


Fig. 2. Comportamiento de las Inductancias de fase vs. posición del rotor, cuando el núcleo no está saturado.

Una de las técnicas más versátiles que se emplean en el Método Invasivo para obtener en tiempo real el valor de la inductancia de la fase, es la técnica de Amplitud Modulada con Señales de Tensión Pulsante [1]. La idea básica consiste en aplicar una señal de tensión alterna de tres estados (positivo, negativo y cero) con un tiempo constante y lo suficientemente corto en el estado positivo, tal que el crecimiento de la corriente ocurra de forma lineal y que la caída de tensión en la resistencia del circuito sea despreciable en comparación con la caída de tensión en el inductor. En esta técnica el valor final de la corriente de fase para el estado positivo de la señal de tensión aplicada  $U_{POSITIVO}$ , es  $(i_{SjF})$ . El valor final de la corriente por la fase para el estado negativo de la señal aplicada, debe ser cero y el tiempo de decrecimiento de la corriente el menor posible. Una vez que la corriente por la fase inactiva del MRC se hace cero, el sistema debe mantener la señal de tensión a aplicar en su estado nulo hasta que se decida volver a explorar la fase. Esta secuencia puede ser programada para que ocurra de manera periódica y puede ser fácilmente implementada mediante el convertidor medio puente asimétrico propio del accionamiento. En la figura 3 se representa el comportamiento de las señales de tensión y corriente en las fases inactivas del MRC, cuando se aplica la técnica de Modulación de Amplitud.

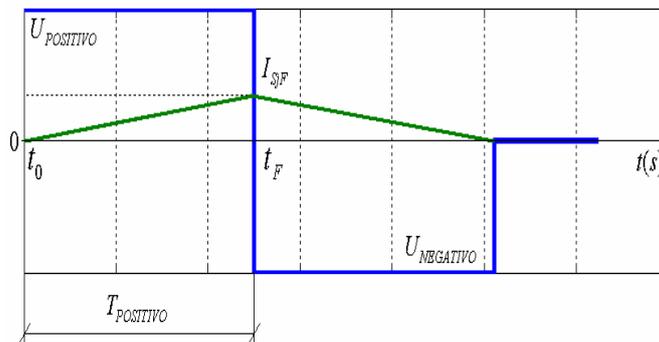


Fig.3. Señales de tensión y corriente obtenidas al aplicar la técnica invasiva de señales de tensiones pulsantes, en un circuito R – L, de inductancia variable.

Se demuestra en [1], [5] que es posible obtener la inductancia de fase estimada  $L_{SjESTIMADA}(\theta_0)$  según la expresión (3) y que para los valores de resistencia e inductancia de fase del MRC MFR 132.1, el  $T_{POSITIVO} = 0.00077s$ .

$$L_{SjESTIMADA}(\theta_0) = \frac{U_{POSITIVO} \cdot T_{POSITIVO}}{I_{SjF}} \quad (3)$$

Fijando la tensión en el enlace de directa ( $U_{POSITIVO}$ ) y el tiempo de aplicación de la señal de tensión en su estado positivo en valores constantes, se infiere de la expresión (3) que para obtener la inductancia de fase del motor de

reluctancia conmutada se debe realizar la división de una constante entre el valor máximo de la corriente como variable de entrada.

En el presente artículo se enuncia un algoritmo de división en lenguaje VHDL para efectuar la división de punto fijo, entre una constante y una variable cualquiera. Se debe aclarar que el operador de división existe en lenguaje VHDL, pero éste solo permite divisores que sean potencias de 2. O sea: que se puede considerar como un operador de desplazamiento teniendo en cuenta que, si un número binario se desplaza  $n$  lugares a la derecha y se rellenan los bits más significativos con ceros, se está realizando entonces la división entre el divisor  $2^n$ . Por lo cual para realizar la división entre cualquier número binario que no sea una potencia de 2, se hace necesaria la programación de un algoritmo de división que lo permita.

### ALGORITMO EN VHDL PARA REALIZA LA OPERACIÓN DE DIVISIÓN CON PUNTO DECIMAL FIJO

Con el algoritmo que se muestra a continuación se puede obtener, a partir del dividendo ( $a$ ) y el divisor ( $b$ ), el cociente de la división ( $c$ ), y el resto ( $a\_temp$ ) [6]. En el algoritmo, ( $a$ ) y ( $b$ ) son variables que se declaran enteras (INTEGER en VHDL) de  $n$  número de bits. El primer paso del algoritmo consiste en crear versiones desplazadas del dividendo ( $a$ ) y del divisor ( $b$ ), asignándolas a las variables temporales  $a\_temp$  y  $b\_temp$ , con un tamaño para cada una de  $(2n-1)$  bits. La variable  $a\_temp$  se obtiene desplazando el dividendo a la derecha, y rellorando los bits más significativos con ceros hasta alcanzar el número previsto de bits. La versión  $b\_temp$  se logra desplazando el divisor a la izquierda, y rellorando los bits menos significativos con ceros. Este algoritmo se ejemplifica en la tabla 2 para el dividendo  $a = "1011"$ , el divisor  $b = "0011"$ , a partir de los cuales se obtienen el cociente  $c = "0011"$  y resto  $r = "0010"$ . El cómputo del cociente se describe a continuación en la tabla número 2:

Tabla2. Ejemplo del algoritmo de división					
Índice (i)	a_temp	Comparación	b_temp	c (cociente)	Operación a relizar a a_temp
3	000101	<	001100	0	Ninguna
2	000101	<	000110	0	Ninguna
1	000101	>	000011	1	temp-b_temp
0	000010	>	000001	1	temp-b_temp
	0000010 (resto)				

Comenzando por la parte superior de la tabla 2 se comparan las variables  $a\_temp$  con  $b\_temp$ , y si la primera es mayor o igual que la segunda, entonces el bit correspondiente a este índice del cociente es igual a "1" ( $c(i) = 1$ ). En este caso se resta  $b\_temp(i)$  de  $a\_temp(i)$ . Por el contrario, de no cumplirse la condición de comparación anterior el bit del cociente correspondiente a este índice es igual a "0" ( $c(i) = 0$ ), y se pasa a la siguiente iteración.

El cómputo se completa después de  $n$  iteraciones y el valor que queda en  $a\_temp$ , es el resto de la división. La versión previamente desplazada del divisor  $b\_temp$  en cada iteración, se desplaza nuevamente un lugar a la derecha, independientemente del resultado de la comparación. Esto se observa en la columna de  $b\_temp$  de la tabla 2, en donde se subrayó el divisor original ( $b$ ), y se observa el corrimiento de un lugar a la derecha en cada iteración.

En el código en VHDL del ejemplo (1) se tiene que el dividendo y el divisor son  $a$  y  $b$  respectivamente, el cociente es  $y$ , y el resto de la operación es  $rest$ . Se declaró un bit de salida ( $err$ ) para indicar si el divisor es cero [4]. Las versiones desplazadas del dividendo y divisor son  $temp1$  y  $temp2$  respectivamente. En este ejemplo el cómputo de cada lugar del cociente ( $y(3)$ ,  $y(2)$ ,  $y(1)$  e  $y(0)$ ) se obtiene paso por paso.

#### Ejemplo 1 – Código en VHDL para ejemplificar la división paso por paso.

```
Architecture Behavioral of divider is
begin
PROCESS (a,b)
VARIABLE temp1: INTEGER RANGE 0 TO 15;
VARIABLE temp2: INTEGER RANGE 0 TO 15;
BEGIN
```

----ERROR E INIALIZACION----

```

temp1:= CONV_INTEGER(a);
temp2:= CONV_INTEGER(b);
IF (b=0) THEN err <= '1';
ELSE err <= '0';
END IF;

-----y(3)-----
IF (temp1 >= temp2*8) THEN y(3) <='1';
temp1:= temp1- temp2 *8;
ELSE y(3) <='0';
END IF;

-----y(2)-----
IF (temp1 >= temp2*4) THEN y(2) <='1';
temp1:= temp1- temp2 *4;
ELSE y(2) <='0';
END IF;

-----y(1)-----
IF (temp1 >= temp2 *2) THEN y(1) <='1';
temp1:= temp1- temp2 *2;
ELSE y(1) <='0';
END IF;

-----y(0)-----
IF (temp1 >= temp2) THEN y(0) <='1';
temp1:= temp1- temp2;
ELSE y(0) <='0';
END IF;

-----resto-----

rest<=CONV_STD_LOGIC_VECTOR(temp1,4);

END PROCESS;
END Behavioral;

```

En la figura 4 se muestran los resultados del algoritmo de división obtenidos a partir de la simulación para varios valores del dividendo y el divisor [7].

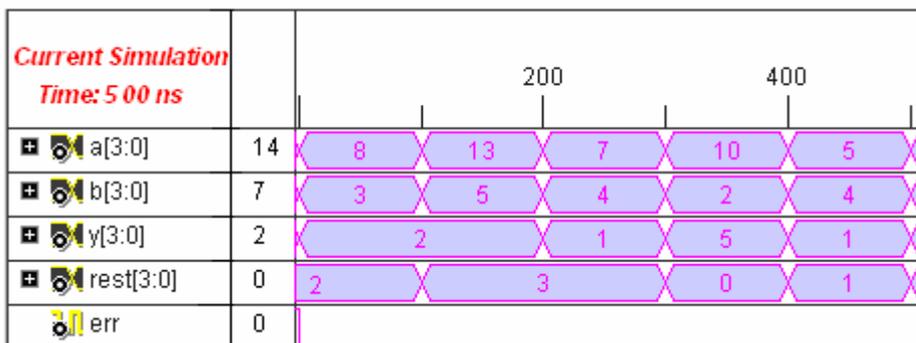


Fig.4. Simulación del código para la operación de división con punto decimal fijo.

Se debe señalar, adicionalmente, que en el caso específico de los resultados experimentales que se presentan en este artículo, el código en VHDL empleado no es el que se lista en el Ejemplo1 exactamente. La diferencia fundamental radica en el hecho de haber empleado un dividendo constante, tal y como se enuncia en el acápite anterior para cuando la tensión en el enlace de directa y el tiempo de aplicación de señal positiva a la fase, son constantes (Ver expresión 3).

### IMPLEMENTACIÓN DE LA TÉCNICA DE MODULACIÓN DE AMPLITUD CON BASE EN EL FPGA DE ACTEL, PROASIC 3 - A3P250

Para el control de la instalación experimental y el procesamiento de la señales de corriente en pos de la estimación de la inductancia del motor de reluctancia conmutada MFR 132.1, se utilizó un kit de desarrollo con base en el FPGA de ACTEL PROASIC3 A3P250, con 35 terminales de entrada/salida disponibles para el usuario 0. Dichos terminales

se encuentran agrupados en el Banco de terminales #1 del FPGA y han sido configurados para trabajar a niveles de operación LVTTTL (3.3 V), que es el máximo posible [8]. Este FPGA pertenece a la tercera generación de las familias de FPGA de ACTEL basadas en tecnologías FLASH y con ella es posible la síntesis de hasta 250 mil compuertas lógicas. El kit de desarrollo está dotado de un sistema embebido que permite la programación frecuente del FPGA. Para el desarrollo del código en VHDL de control de la instalación y de la estimación de la inductancia de fase del motor, se empleó la suite Libero IDE en su versión 7.1 0.

En la figura 5 se muestra el diagrama en bloques de la instalación experimental, la cual está conformada por las siguientes etapas:

1. Etapa de potencia conformada por un convertidor electrónico asimétrico tipo puente de dos conmutadores por fase.
2. Etapa de adquisición de señales constituida a su vez por las siguientes etapas menores:
  - Sensado de la corriente de fase.
  - Acomodo de las señales sensadas.
  - Muestreo y sostenimiento de valores.
  - Conversión de la señal analógica a digital mediante el empleo de un convertor analógico / digital.
3. Etapa de control de la instalación y procesamiento de las señales de corrientes de fases, constituida por kit el de desarrollo basado en el FPGA de ACTEL, familia PROASIC3, dispositivo A3P250.
4. Etapa de salida de la instalación constituida por un convertor digital / analógico.

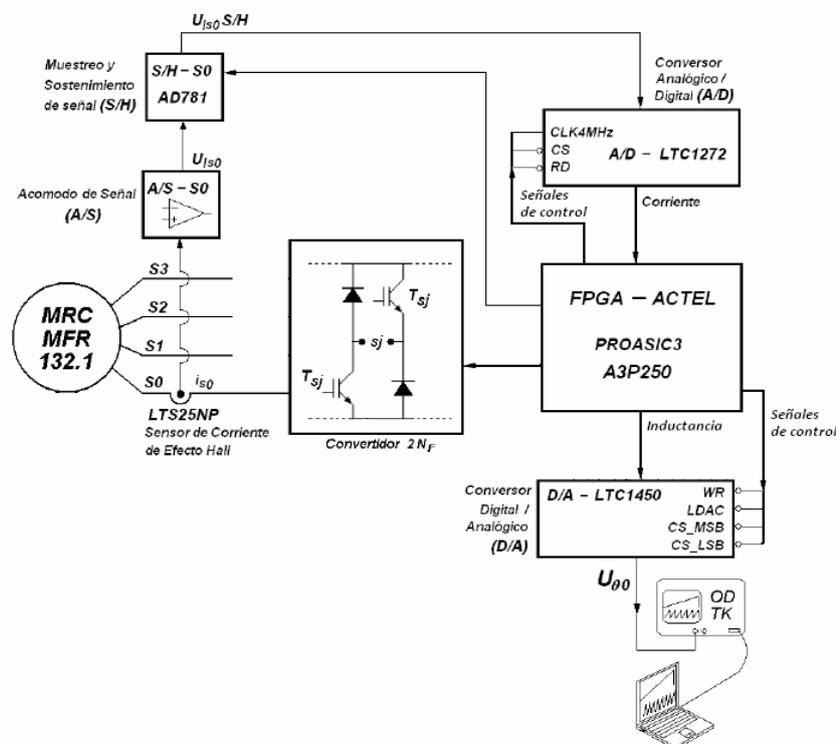


Fig.5. Diagrama en bloques de la instalación experimental.

El convertidor electrónico de potencia se emplea para aplicar las señales de tensión de tres estados a la fase del motor de reluctancia conmutada. Posteriormente se sensa la respuesta de corriente de la fase empleando un sensor de efecto Hall, se realizan los ajustes de cero y pendiente y finalmente la señal analógica es convertida en una palabra digital de 10 bits con el empleo del convertor analógico / digital LTC 1272. El procesamiento digital de la señal de corriente para calcular la característica de inductancia de fase del motor de reluctancia conmutada vs. posición del rotor, se efectúa en el kit de desarrollo basado en el FPGA de ACTEL, familia PROASIC3, dispositivo A3P250.

A3P250. Los valores de la característica de inductancia se obtienen en formato digital de salida del kit de desarrollo y el mismo es convertido en señal analógica a través del convertor digital / analógico LTC1450. Es necesario aclarar que las señales necesarias para el control de los procesos de conversión se generan también dentro del citado kit de desarrollo.

### RESULTADOS EXPERIMENTALES

A partir del algoritmo de división y el empleo de la estación experimental descrita se obtuvieron señales de tensión y corriente en la fase del MRC MFR 132.1, las que se muestran en la figura 6. En la figura 7 se muestran las señales de corriente en la fase del MRC y la de salida de la etapa de muestreo y sostenimiento. Estas señales se visualizaron en el osciloscopio digital de la estación experimental y se transfirieron desde el instrumento al ordenador. En la figura 8 se muestra una fotografía tomada de la pantalla del osciloscopio en la que se observa la forma de onda de la corriente en la fase al variar la posición del rotor. Se muestra también la señal de la envolvente de la corriente que constituye el dato de entrada al FPGA, cuando este se transfiere sin procesamiento alguno a la salida.

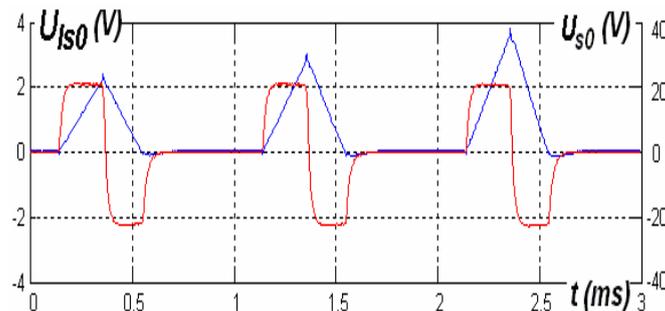


Fig.6. Señales de tensión de fase 0 ( $U_{s0}$ ) en rojo y de corriente por la fase 0 ( $U_{Is0}$ ) en azul a la salida de la etapa de acomodo.

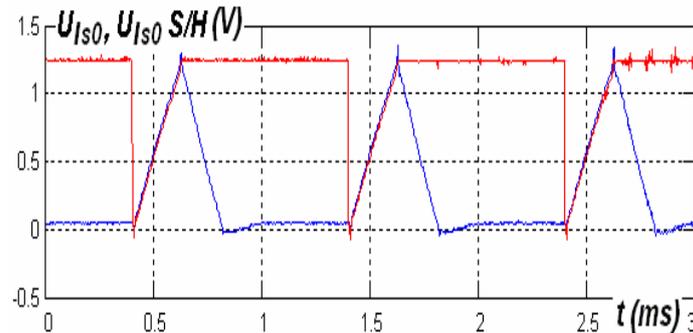


Fig.7. Señales de corriente de fase 0 ( $I_{s0}$ ) a la salida de la etapa de acomodo y a la salida del circuito integrado AD781 ( $I_{s0}S/H$ ) a rotor parado.

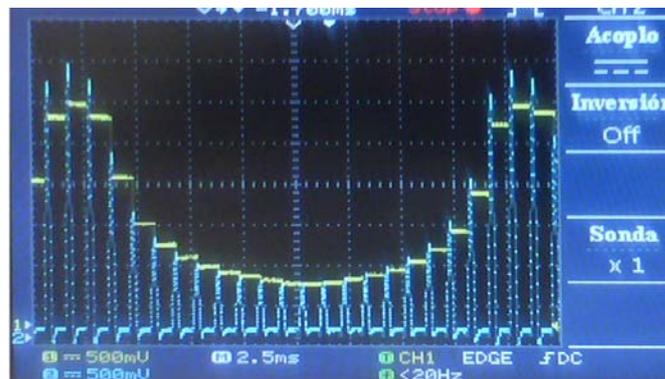


Fig.8. Señales de corriente en la fase de estimación a la salida de la etapa de acomodo ( $U_{Is0}$ ) y su envolvente.

Se obtuvieron varias características de inductancia de fase vs. posición del rotor para distintos valores constantes en el enlace de directa y se capturó, además, la información de la posición del rotor que suministra el Encoder del accionamiento, en 12 bits y código Gray. Las características obtenidas se muestran en las figuras 9 y 10. En las mismas se aprecia el aumento de su valor máximo de la característica mientras disminuye el valor de la tensión aplicada a la fase del MRC. El período de todas estas características es de  $30^\circ$  con respecto a la posición del rotor, lo que coincide con la información teórica de la figura 2. Se observa además la similitud existente entre el comportamiento de teórico de la inductancia y la característica obtenida experimentalmente.

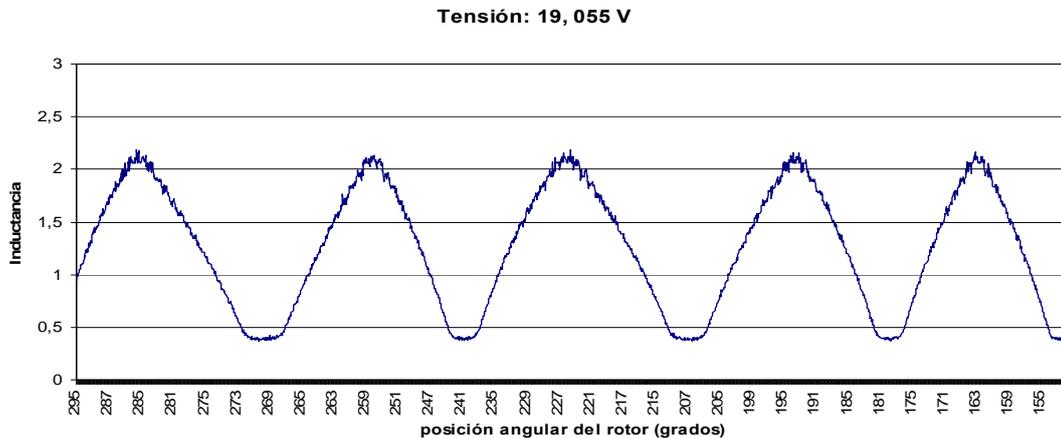


Fig.9. Característica de inductancia de fase vs. posición del rotor para 19,055 V.

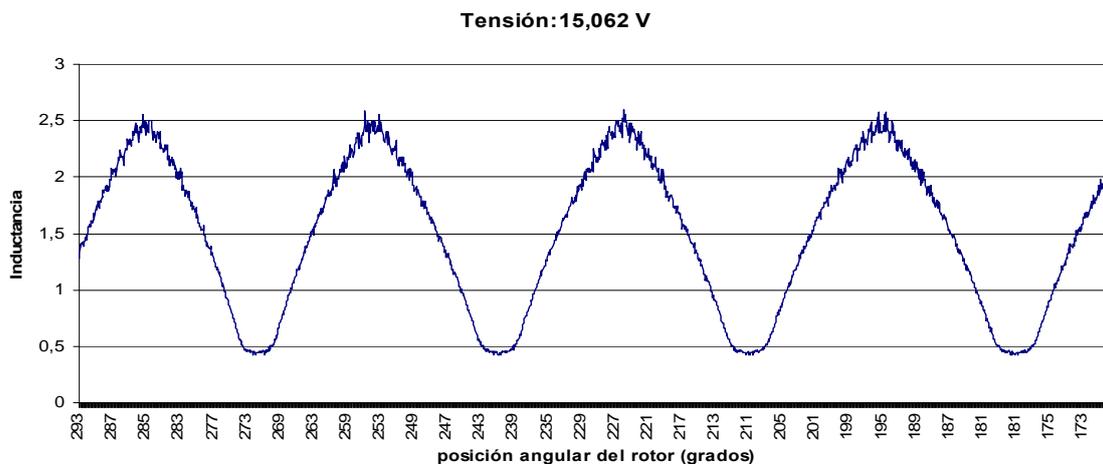


Fig.10. Característica de inductancia de fase vs. posición del rotor para 17,061 V.

### CONCLUSIONES

1. Se implementó de manera práctica un algoritmo de división programado en VHDL, el cual permitió obtener varias características de inductancia de fase del motor de reluctancia conmutada MFR 132.1 vs. posición angular del rotor, para diferentes tensiones en los pulsos aplicados a las fases del MRC.
2. Se comprobó que las características de inductancia obtenidas son similares a los resultados brindados por los fabricantes del MRC MFR 132.1, de fabricación alemana.

## REFERENCIAS

- [1] MUÑOZ ÁLVAREZ, J. *Estimador de la posición del rotor de un Motor de Reluctancia Conmutada a baja velocidad*. Tesis presentada en opción al grado científico de Doctor en Ciencias Técnicas, Facultad de Ingeniería Eléctrica. Instituto Superior Politécnico José Antonio Echeverría, CUJAE. , La Habana, Cuba. 2010.
- [2] MATVEEV, A. *Development of Methods, Algorithms and Software for Optimal Design of Switched Reluctance Drives*. Dissertation submitted in partial fulfilment of the requirements for the degree of Doctor of Philosophy, Technical University of Eindhoven. Eindhoven, The Netherlands, 2006.
- [3] WOLF, J. *Drehzalveränderbarer Industrieantrieb mit Geschaltetem Reluktanzmotor, in Elektrotechnischen Institut*. Universität Karlsruhe. Karlsruhe, Deutschland, 1999
- [4] MILLER, T. J. E. *Electronic control of switched reluctance machines*. 2001. vol. 1, Newnes Power Engineering Series. Oxford, United Kingdom.
- [5] MUÑOZ ÁLVAREZ, J. Y. M. H., MARIO. Estimación de Posición del Rotor de un Motor de Reluctancia Conmutada utilizando un Método Invasivo. En: *Primer Congreso Cubano de Ingeniería Eléctrica. 14 Convención Científica de Ingeniería y Arquitectura*. CUJAE. La Habana, Cuba, 2008.
- [6] PEDRONI, V. A. *Circuit Design with VHDL*. Massachusetts, U.S.A., MIT Press: 2004.
- [7] BESÚ ARIAS, A. *Utilización del FPGA en Accionamientos Eléctricos con Motor de Reluctancia Conmutada*. Tesis presentada en opción al título de Ingeniero Electricista, Facultad de Ingeniería Eléctrica, Instituto Superior Politécnico José Antonio Echeverría, CUJAE, La Habana, Cuba. 2010.
- [8] *Hoja de datos técnicos del kit de desarrollo con base en el FPGA PROASIC3 A3P250 de Actel*.

## AUTORES

### Javier Quintana Santos

Ingeniero Electricista, Master en Ingeniería Eléctrica, Facultad de Eléctrica, Instituto Superior Politécnico José Antonio Echeverría, Cujae, La Habana, Cuba..

e-mail: [javierqs@electronica.cujae.edu.cu](mailto:javierqs@electronica.cujae.edu.cu)

### Javier Muñoz Álvarez

Ingeniero Electricista, Master en Ingeniería Eléctrica y Doctor en Ciencias Técnicas, Facultad de Eléctrica , Instituto Superior Politécnico José Antonio Echeverría, Cujae, La Habana, Cuba.

e- mail: [javierm@electronica.cujae.edu.cu](mailto:javierm@electronica.cujae.edu.cu), [javierdecuba@yahoo.es](mailto:javierdecuba@yahoo.es)

### Mario Morera Hernández

Ingeniero Electricista, Doctor en Ciencias Técnicas. Profesor Consultante, Instituto Superior Politécnico José Antonio Echeverría, Cujae, La Habana, Cuba.

e- mail: [marmor@electronica.cujae.edu.cu](mailto:marmor@electronica.cujae.edu.cu)