

Metodología docente de la asignatura Sistemas Electrónicos Digitales en el nuevo grado de Informática

Eduardo Magdaleno Castelló

Dpto. de Física Fund. y Exp., Electrónica y Sistemas
Universidad de La Laguna
La Laguna, Spain
emagcas@ull.es

Manuel Rodríguez Valido

Dpto. de Física Fund. y Exp., Electrónica y Sistemas
Universidad de La Laguna
La Laguna, Spain
mrvalido@ull.es

Alejandro Ayala Alfonso

Dpto. de Física Fund. y Exp., Electrónica y Sistemas
Universidad de La Laguna
La Laguna, Spain
aayala@ull.es

Jonás Philipp Lüke

Dpto. de Física Fund. y Exp., Electrónica y Sistemas
Universidad de La Laguna
La Laguna, Spain
jpluke@ull.es

Abstract—En este trabajo se describen los cambios realizados en una asignatura de diseño lógico digital para adaptarla al nuevo plan de Bolonia, con un aumento considerable en horas de laboratorio y de alumnos. También se presentan los resultados de una encuesta de satisfacción al alumnado y una comparativa del éxito de superación de la misma respecto a años anteriores.

Keywords—metodología docente, convergencia europea, sistemas digitales, FPGA, VHDL

I. INTRODUCCIÓN

La Escuela Técnica Superior de Ingeniería Informática de la Universidad de La Laguna inició en el curso académico 2010-2011 la implantación del nuevo grado de Informática adaptado al Espacio Europeo de Educación Superior. En este trabajo se describe, en primer lugar, la metodología docente de la asignatura de primero Sistemas Electrónicos Digitales, describiendo los recursos disponibles (aulas de ordenadores, placas de desarrollo FPGA y otras) y las herramientas tecnológicas empleadas (plataforma de docencia virtual). Esta asignatura, heredera natural de Introducción al Diseño Lógico Digital del plan a extinguir, ha aumentado de manera considerable la parte práctica respecto a ésta, acorde a los nuevos tiempos que corren, y suponen un 40% de la nota de la asignatura, justo el doble que años anteriores. Respecto a la evaluación de la parte práctica, se ha procurado combinar una prueba final junto con evaluación continua, teniendo en cuenta las limitaciones en cuanto a profesorado disponible. Los alumnos se dividieron en 16 grupos de laboratorio con la idea de disponer de grupos reducidos. El número de alumnos se antoja aún elevado, pero la cantidad de alumnos matriculados debería disminuir en cursos sucesivos (disminución de

alumnado proveniente del plan antiguo y limitación de alumnos de nuevo ingreso). La primeras dos sesiones de prácticas eran clásicas basadas en implementación de funciones en protoboard con componentes de la familia 74. El resto de sesiones hacían uso de las metodologías de diseño basadas en FPGA y VHDL.

Se realiza un análisis de los resultados obtenidos en cuanto a las calificaciones de los alumnos. Además, la asignatura fue sometida a una encuesta del alumnado dentro de la evaluación de la calidad de la docencia universitaria en el marco del programa DOCENTIA-ULL. Los resultados de esta encuesta se muestran en el trabajo. Por último, se hace una valoración de global de este primer curso académico, haciendo hincapié en el grado de satisfacción del alumnado, el porcentaje de éxito en la superación de la asignatura, los recursos disponibles y la carga docente del profesorado.

II. DATOS DE LA ASIGNATURA Y RECURSOS DISPONIBLES

Sistemas Electrónicos Digitales es una asignatura 6 créditos ECTS de primero de grado de Ingeniería Informática, por lo que la cantidad de alumnos es alta. El curso 2010/2011 fue el primero del nuevo plan, así que se juntan alumnos de nuevo ingreso con los que deciden a cambiarse de plan, haciendo un total de 212 alumnos. Esto supone un incremento de casi un 20% respecto a la media de los últimos 4 años. Los datos de alumnado matriculado se presentan en la tabla I [1].

TABLE I. ALUMNOS MATRICULADOS EN LA ASIGNATURA

2006/07	2007/08	2008/09	2009/10	2010/11
179	190	170	182	212

Los objetivos que se pretenden cubrir en esta asignatura son [2]:

- Conseguir una visión global del diseño electrónico digital y los diferentes niveles de abstracción dentro del diseño empleando tecnología basada en FPGA y VHDL
- Aprender a usar las herramientas de diseño electrónico basadas en FPGA y VHDL (ISE Design Suite, ISIM, XST)
- Aprender los componentes y dispositivos básicos que conforman un computador

Las competencias específicas del título desarrolladas en la asignatura son las siguientes:

- Capacidad para diseñar circuitos electrónicos digitales
- Conocimiento de los fundamentos y aplicaciones de la electrónica digital en informática
- Conocimiento de las Metodologías y flujo de diseño de sistemas electrónicos digitales
- Conocimientos de la tecnología de sistemas digitales especialmente la lógica programable de alta densidad. FPGA

Los alumnos se distribuyen en 2 grupos de teoría, 4 grupos de problemas y 16 grupos de laboratorio. La carga docente se distribuye entre 4 profesores. Dos de ellos imparten clase en los grupos de teoría y problemas (y también de laboratorio), y los otros dos únicamente imparten grupos de laboratorio.

Se dispone de un laboratorio de electrónica y dos salas de ordenadores en el Centro de Cálculo de la Escuela, para la impartición simultánea de prácticas a dos grupos.

Para las prácticas de VHDL y FPGA se emplean placas Spartan-3 Starter Kit donadas por Xilinx [3]. El entorno de desarrollo de Xilinx es el ISE Design Suite 11.1, cuya versión de webpack es de licencia gratuita.

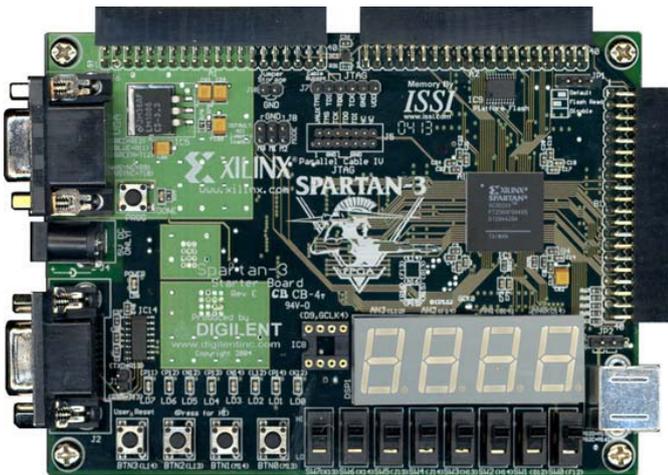


Figure 1. Placa de desarrollo empleada en las prácticas

La Unidad de Docencia Virtual pone a disposición del profesorado una plataforma tipo Moodle que también fue útil para resolver dudas on-line y proporcionar información al alumnado.

III. METODOLOGÍA DOCENTE

La asignatura ha aumentado su parte práctica en el nuevo plan, así que la puntuación de esta parte respecto al global ha pasado de un 20% a un 40%. La evaluación de la asignatura consta del clásico examen teórico (60%) y la parte práctica que se evalúa a su vez de dos maneras: Valoración de las actividades prácticas en el laboratorio (asistencia, participación regular y realización de las prácticas), un 20%; y un examen de prácticas de duración 50', en el que los alumnos pueden hacer uso del ordenador y las herramientas de diseño empleadas a lo largo del curso. La parte que más ha sido modificada respecto a años anteriores es la práctica y nos centraremos en su descripción.

Las dos primeras sesiones prácticas se realizan en el laboratorio de electrónica. En ellas, el alumno caracteriza puertas lógicas básicas (AND, OR, NAND, XOR, etcétera), empleando la clásica familia 74. También combinan diversas puertas para crear un multiplexor de 2 entradas.

Estas dos sesiones son muy sencillas debido a tres factores fundamentales:

- Se realizan las dos primeras semanas del cuatrimestre y los contenidos teóricos impartidos son escasos
- Se enseña una tecnología obsoleta para la implementación de circuitos digitales de un tamaño medio-grande. El aprendizaje de esta alternativa hace ver al alumno las ventajas del empleo de la tecnología FPGA por sí mismo.
- La duración de las sesiones son de 50', lo que impide montar en las protoboards circuitos más complicados.

Este último punto supone un problema importante al que el profesorado tuvo que enfrentarse. Las prácticas en el antiguo plan eran puntuales y las sesiones eran de 3 horas. Ahora las sesiones son semanales, incrustadas en el horario lectivo, y, por consiguiente, de 50 minutos.

Las siguientes sesiones se realizan en las salas de ordenadores. Se realiza un aprendizaje del lenguaje VHDL para configurar las FPGAs eminentemente práctico [4-5]. El alumno va adquiriendo los conocimientos de lenguaje, estructura, jerarquía, etcétera de manera incremental, a media que va realizando las prácticas sugeridas. En ningún momento se introduce el lenguaje en las clases teóricas, cuya asimilación se ha demostrado pobre.

La duración de las sesiones es un problema menor en estas prácticas, ya que, el propio flujo de diseño FPGA-VHDL establece un diseño modular y jerárquico. Así, el alumno va poco a poco realizando cada uno de los subcircuitos para luego conformar el top jerárquico del diseño.

La primera práctica se realiza conjuntamente con el profesor, que hace uso de un cañón. Las prácticas sucesivas las realizan los alumnos de forma autónoma con ayuda de unos

guiones que describen los pasos a seguir. Estos guiones, al principio son muy detallados, disminuyendo el grado de detalle progresivamente para que el alumno vaya adquiriendo soltura en el manejo de la herramienta de desarrollo ISE Design Suite.

El principal problema de esta segunda fase de prácticas fue el número de alumnos por grupo de laboratorio. Cada grupo oscila entre 8 y 20 personas y debería reducirse a grupos de 8-10 personas como máximo.

A. Sesiones prácticas de FPGA

Como se comentó, las prácticas se van realizando con un nivel de complejidad en consonancia a los conocimientos adquiridos en las clases teóricas y de prácticas.

Se introducen conceptos como los niveles de abstracción en el diseño lógico basado en VHDL y FPGA (Figura 2).

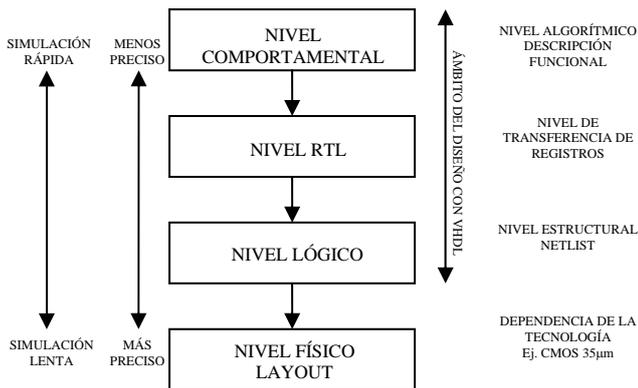


Figure 2. Niveles de abstracción en el diseño digital

Por lo general, a la hora de abordar los ejercicios de prácticas, se ha procurado automatizar buena parte de las etapas de desarrollo (al menos las que permitían las herramientas CAD) para acelerar el proceso de diseño según ya se ha comentado. En este sentido, tanto la síntesis como la implementación en la FPGA han sido realizadas con la herramienta ISE Foundation de Xilinx imponiendo únicamente como restricción la asignación de pines de la FPGA que debían actuar como interfaz con el exterior. La libertad en estas fases fue posible ya que el resultado final respondía a las especificaciones tanto de espacio como de velocidad. En caso contrario habría hecho falta imponer restricciones adicionales en la síntesis e implementación. Con estas consideraciones, el flujo de diseño para realizar los prototipos se muestra en la Figura 3.

Como ya se ha comentado, el diseño usando VHDL es altamente modular, por lo que facilita el diseño jerárquico. Una vez que el petionario solicita el producto, se extraen las especificaciones que debe cumplir el mismo. Las herramientas CAD permiten abordar el diseño desde un alto nivel de abstracción (Figura 2). En este caso, desde un punto de vista funcional, se selecciona la arquitectura del sistema dividiendo el problema en bloques más pequeños y, por ello, más simples. Estos sub-bloques deben ser diseñados de tal manera que sus interfaces faciliten la interconexión de los mismos. Tras realizar el conexionado en el nivel jerárquico más alto se

efectúan simulaciones funcionales. En caso de que éstas no sean satisfactorias se debe retroceder a algún punto anterior. Una vez que las simulaciones sean correctas, se realiza la síntesis y la implementación en la FPGA seleccionada, escogiendo cuidadosamente los pines que harán de interfaz física con el exterior del dispositivo. Tras ser programada la FPGA, ésta se depura, analizando su comportamiento con un analizador lógico, por ejemplo. Nuevamente, si los resultados no son los esperados se retrocede en el diseño tanto como sea necesario.

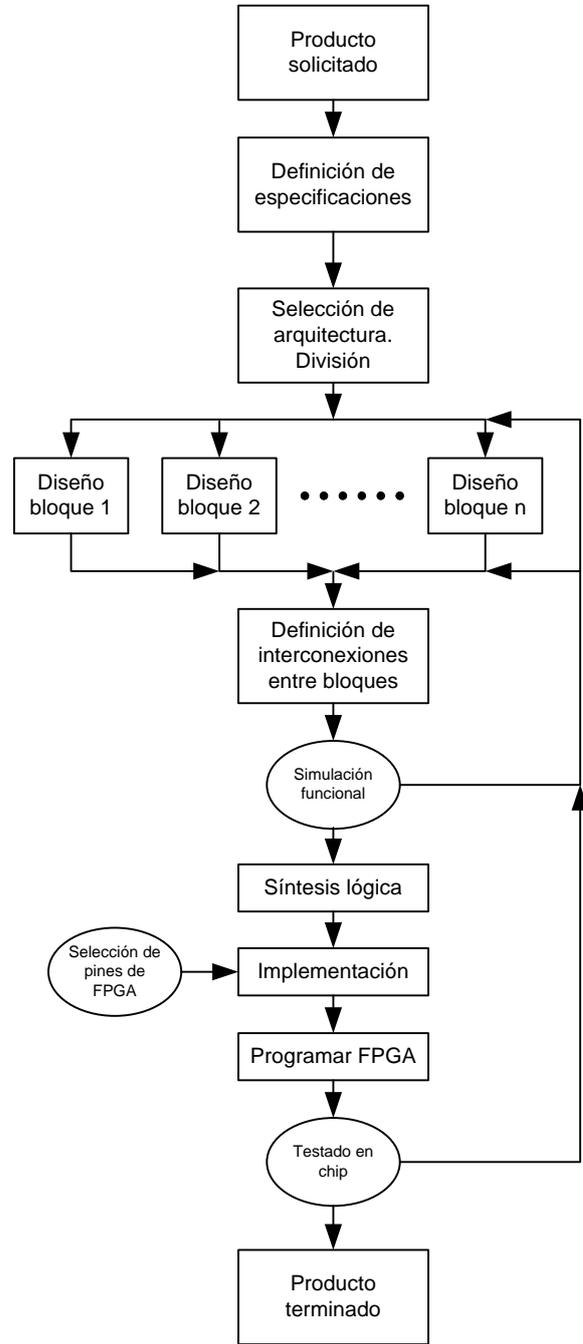


Figure 3. Esquema de flujo de diseño

Las prácticas desarrolladas en prácticas fueron las siguientes:

- Funciones booleanas elementales descritas con VHDL. Se introduce la herramienta de diseño, la estructura de un código VHDL y los operadores básicos (Figura 4).
- Diseño e implementación de un decodificador de 7 segmentos. Trabajo autónomo del alumno para asentar los conocimientos de la anterior práctica. Se introduce el nivel de abstracción algorítmico.
- Diseño e implementación de un contador. Introducción a diseños con reloj. Empleo de cláusulas COMPONENT y PORT MAP para el uso de los biestables (Figura 5).
- Implementación de un generador y detector de tramas. Se crean estos dos bloques y se usan los subcircuitos de las prácticas anteriores para contar el número de veces que se detecta la trama y mostrar el dato en el display de 7 segmentos (Figura 6).
- Sumador/restador en complemento a 2. En esta práctica los alumnos trabajan de manera autosuficiente (Figura 7)

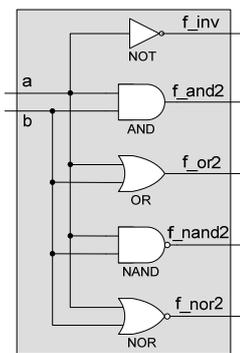


Figure 4. Funciones básicas

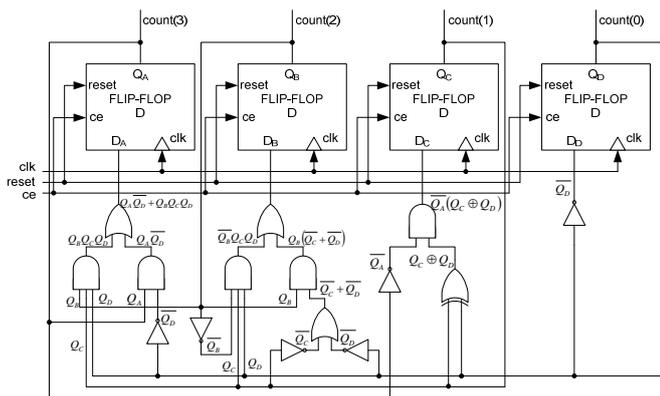


Figure 5. Contador cíclico implementado

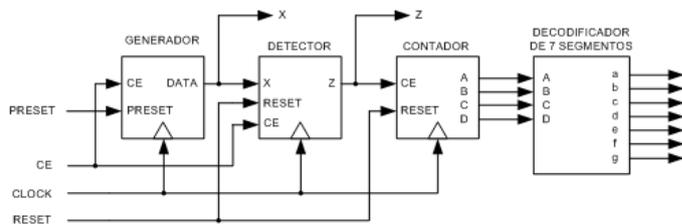


Figure 6. Detector de trama

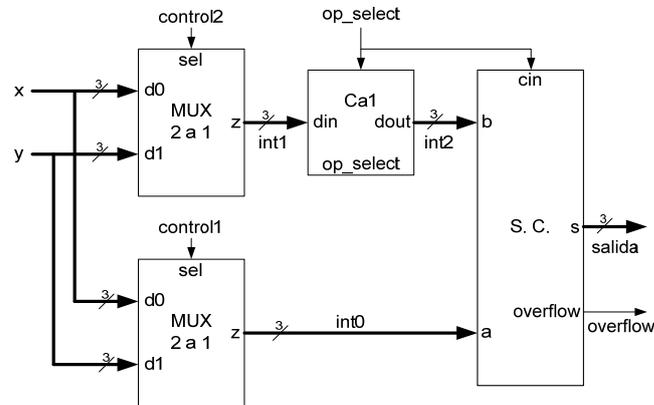


Figure 7. Sumador/restador implementado

En la última práctica se orienta al alumno de cómo debe quedar la jerarquía del diseño (Figura 8).

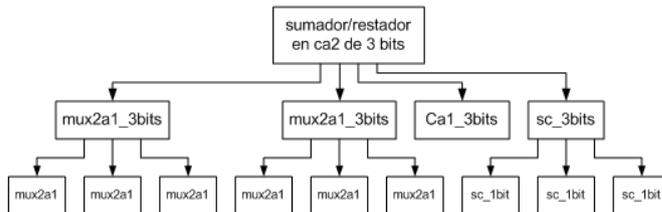


Figure 8. Esquema jerárquico del diseño implementado

B. Prueba práctica

El elevado número de alumnos y escasos profesores supone que la evaluación continua personalizada se antoje complicada. Se realiza una pequeña prueba de sólo 50 minutos de duración en la que nos aseguramos que el alumno ha asimilado la asignatura.

Se realizan 8 exámenes distintos, 4 de análisis y 4 de síntesis. En los primeros se proporciona a través del Moodle al alumno un código VHDL. El alumno debe corregir errores sintácticos y de estructura y decir detalladamente qué hace el código. En la modalidad de síntesis, deben inferir un pequeño circuito. El examen se realiza en la sala de ordenadores y los alumnos pueden disponer de las herramientas software empleadas a lo largo del curso.

IV. RESULTADOS Y CONCLUSIONES

En la figura 9 se muestra una comparativa de los resultados académicos en las diferentes convocatorias. Las convocatorias

de junio y julio de 2011 son las referentes al nuevo plan. Puede apreciarse que el número de alumnos aprobados ha aumentado sensiblemente respecto a otros años. En cambio, no ha habido alumnos con notas más altas que la de notable. El profesorado ha notado que el alumnado se siente más motivado de cara a la realización de las prácticas (que suponen un 40% de la nota final). En el caso del examen teórico los alumnos no obtuvieron buenos resultados. Los alumnos se percatan que no es necesario realizar un buen examen teórico para aprobar. Claramente, con esta metodología es más fácil aprobar, pero con menos notas sobresalientes.

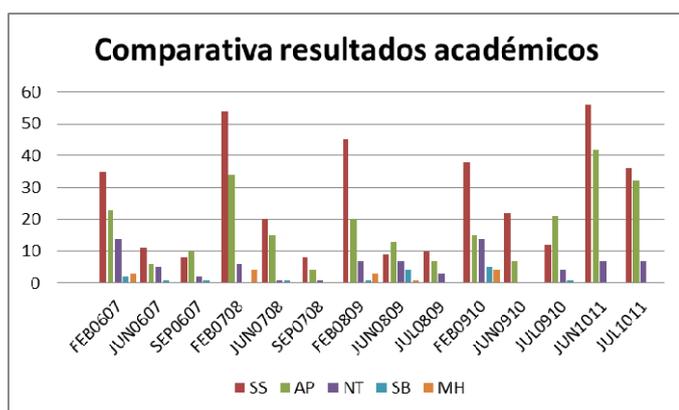


Figure 9. Resultados académicos de las diferentes convocatorias

Los alumnos rellenaron una encuesta anónima en el marco de la evaluación del profesorado del programa DOCENTIA-ULL [7], consensado por la ANECA [8]. La encuesta constaba de los siguientes ítems:

1. La información proporcionada por el profesor en la guía docente es accesible y útil
2. Las tareas previstas guardan relación con lo que el profesor pretende que aprenda en la actividad docente
3. En el desarrollo de la actividad docente no hay solapamientos con los contenidos de otras actividades
4. Las clases teóricas y prácticas están coordinadas
5. Los créditos asignados a la actividad docente guardan proporción con el volumen de contenidos de otras actividades
6. La dedicación que exige esta actividad docente se corresponde con la prevista en el programa
7. El profesor cumple con el horario fijado
8. El profesor asiste regularmente a clase
9. El profesor reduce o amplía el programa en función del nivel de conocimientos previos de los estudiantes
10. El profesor prepara, organiza y estructura bien las actividades o tareas que se realizan en la clase (o laboratorio)
11. El profesor explica con claridad

12. El profesor resuelve las dudas y orienta a alumnos en el desarrollo de sus tareas
13. Resulta fácil acceder al profesor en su horario de tutorías
14. La ayuda recibida en tutorías resulta eficaz para aprender
15. El profesor utiliza adecuadamente los recursos didácticos para facilitar el aprendizaje
16. La bibliografía recomendada por el profesor es útil para desarrollar las tareas
17. El profesor favorece la participación del estudiante en el desarrollo de la actividad docente
18. El profesor aplica de un modo adecuado los criterios de evaluación recogidos en el programa
19. El profesor consigue despertar interés por los diferentes temas que se abordan en el desarrollo de la actividad docente
20. El profesor ha facilitado mi aprendizaje, gracias a su ayuda he logrado mejor mis conocimientos
21. He mejorado mi nivel de partida, con relación a las competencias previstas en el programa
22. En general estoy satisfecho con la labor docente de este profesor

El resultado de la encuesta se muestra en la Figura 10. En general, se aprecia un elevado grado de aceptación de la asignatura. En este caso, no se pudo comparar con datos de años anteriores.

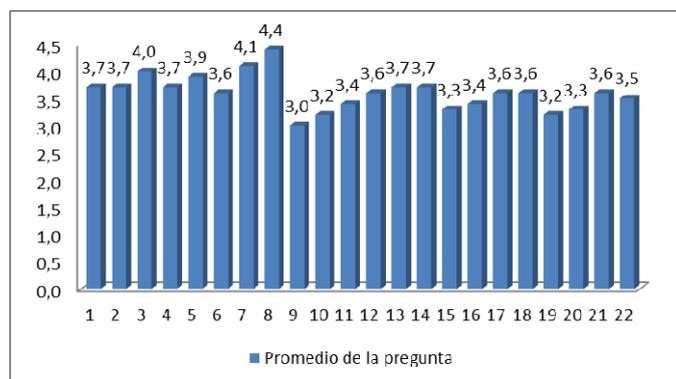


Figure 10. Resultados de la encuesta al alumnado

Como conclusión, comentar que el alumno encuentra más facilidad para seguir la asignatura con esta nueva metodología. Las sesiones de laboratorio regulares, en vez de esporádicas, refuerzan los contenidos de la asignatura.

Al tener mucho peso las prácticas, se ha constatado una falta de motivación por parte de algunos alumnos, en la preparación del examen teórico, lo que implica un alto número de aprobados, pero ausencia de sobresalientes y matrículas, con muy pocos notables.

Los objetivos planteados al principio del curso se vieron cumplidos parcialmente, debido, sobre todo, al elevado número de alumnos. No obstante, este año la Escuela ha introducido límite de matrícula, con lo que los grupos de laboratorio serán más reducidos. Si resulta viable la evaluación continua, el examen práctico podría ser eliminado.

Por último, el profesorado ha constatado que la duración de 50 minutos de las sesiones de prácticas se antoja corta en extremo. En esa duración deben incluirse el desplazamiento del alumnado al aula del Centro de Cálculo, el encendido y apagado del ordenador. El profesorado estima que, al menos, las sesiones deberían ser de 2 horas, para un mejor aprovechamiento. Este cambio, que ya se ha propuesto en la Junta de Escuela, se antoja complicado, debido a la simultaneidad de las sesiones de la asignatura con otras del cuatrimestre.

REFERENCIAS

- [1] Gabinete de Análisis y Planificación, Estadísticas de Introducción al Diseño Lógico Digital y Sistemas Electrónicos Digitales, Universidad de La Laguna, 2011
- [2] E. Magdaleno, M. Rodríguez, A. Ayala, J. P. Lüke, Guía docente de la asignatura Sistemas Electrónicos Digitales, curso académico 2010/2011.
- [3] Xilinx, Spartan-3 Starter Kit Board User Guide, Digilent Inc., 2005
- [4] IEEE Standard VHDL Language Reference Manual, IEEE-1076-2000, 2000. 11.
- [5] Ll. Teres, Y. Torroja, S. Iocós y E. Villar, *VHDL, Lenguaje Estándar de Diseño Electrónico*, McGraw-Hill, 1997.
- [6] E. Magdaleno, M. Rodríguez, *Tutorial de Xilinx ISE*, Grupo de Comunicaciones y Teledetección, 2005
- [7] Manual de la Universidad de La Laguna para la evaluación de la actividad docente, Unidad de Evaluación y mejora de la calidad, Vicerrectorado de profesorado y calidad docente, junio 2010.
- [8] www.aneca.es